

Composants

COLLABORATORS

	<i>TITLE :</i> Composants		
<i>ACTION</i>	<i>NAME</i>	<i>DATE</i>	<i>SIGNATURE</i>
WRITTEN BY		February 12, 2023	

REVISION HISTORY

NUMBER	DATE	DESCRIPTION	NAME

Contents

1 Composants	1
1.1 Les Composants	1
1.2 Microprocesseurs	1
1.3 Le Code de Référence Motorola	2
1.4 Les Processeurs Motorola	3
1.5 MC68000 et MC68HC000	4
1.6 MC68008	5
1.7 MC68010	5
1.8 Les supports de la série 68000	5
1.9 MC68012	6
1.10 MC68020	6
1.11 MC68030	6
1.12 MC68030 des A3000	7
1.13 MC68040	8
1.14 MC68060	9
1.15 PowerPC	11
1.16 La plate-forme CHRP	13
1.17 Les dérivés	14
1.18 MC68EC020	15
1.19 MC68EC030	15
1.20 MC68EC040, MC68LC040 et MC68040V	15
1.21 MC 68EC060 et 68LC060	16
1.22 Les Unités De Calculs En Virgule Flottante (FPU)	16
1.23 MC68881	17
1.24 MC68881 sur A3000	17
1.25 MC68882	18
1.26 A2630 et 68882 ou 68881 ?	19
1.27 MC68040 et MC68060	19
1.28 Les Unités De Gestion Mémoire par Pagination (PMMU)	19
1.29 Accès Burst	20

1.30 Les Custom Chips et les Autres	20
1.31 Original Chip Set	22
1.32 Enhanced Chip Set	22
1.33 Chipset AA ou AGA ?	23
1.34 AAA	24
1.35 Hombre	28
1.36 AGNUS / ALICE	28
1.37 Le Copper	30
1.38 Blitter	31
1.39 AKIKO	31
1.40 AMBER	31
1.41 BRIDGETTE	32
1.42 BUDGIE	32
1.43 BUSTER	33
1.44 Brochage du Fat-Buster	34
1.45 DENISE / LISA	35
1.46 GARY	36
1.47 Fat Gary	36
1.48 GAYLE	37
1.49 PAULA	37
1.50 RAMSEY	38
1.51 Video DAC	39
1.52 SUPER DMAC	39
1.53 Contrôleurs SCSI WD et NCR	40
1.54 CIA A & B	41
1.55 Random Access Memory	41
1.56 Les Différents Boîtiers	42
1.57 Identification des barettes SIMM	42
1.58 Brochage des barettes SIMM	43
1.59 Les Différents Types de RAM	44
1.60 Brochage des barettes SIMM GVP	45
1.61 Les Temps d'Accès	46
1.62 La ROM Kickstart	47
1.63 Mise à jour	48
1.64 La Mémoire Cache	48
1.65 Autres Composants	48
1.66 6570 et Keyboard MPU	49
1.67 Le Digital Signal Processor	49
1.68 Gate Array Logic & Programmable Array Logic	50
1.69 Les Oscillateurs	51
1.70 Fréquences	51
1.71 Lexique Composants	52

Chapter 1

Composants

1.1 Les Composants

Les Microprocesseurs Motorola

Les FPU

Les PMMU

Les Custom Chips

La Mémoire Cache

Random Access Memory

La ROM Kickstart

Autres Composants

Lexique

[Retour Au Menu Principal](#)

1.2 Microprocesseurs

La série des microprocesseurs M68000 de Motorola est ←
utilisée comme Unité

Centrale de tous les Amiga en production à ce jour. Les différents modèles d'Amiga existants utilisent toutes les principales variantes de cette famille de microprocesseurs. Des tierces sociétés proposent des cartes accélératrices offrant une possibilité de mise à jour pour de nombreux systèmes nés avec les premières unités de la série des 68000.

Le Code de Référence Motorola

Les Processeurs Motorola

Les FPU

Les PMMU

1.3 Le Code de Référence Motorola

Sur ses composants, Motorola fait figurer un code d'identification de type :

MC68000RC12A

Les deux premiers caractères définissent le niveau de test du composant.

Les cinq caractères suivants définissent le type du composant.

Les deux suivants le support pour lequel il est prévu.

Les deux derniers donnent la fréquence d'utilisation prévue en MHz.

Si une lettre est présente à la fin du code, elle indique la révision du composant.

Le niveau de test :

MC est le préfixe habituellement trouvé sur un processeur quand il a passé un ensemble de tests très pointus qui incluent par exemple 5000 heures de fonctionnement.

Puisque ces tests prennent beaucoup de temps, Motorola vend des processeurs avant qu'ils aient passés tous ces tests, mais seulement quand il est certain que le composant est totalement fiable et finalisé. Dans ce cas le préfixe XC est utilisé, signifiant qu'il n'y a aucune erreur dans la conception du processeur, mais simplement qu'il n'a pas passé toutes les batteries de tests.

Les développeurs peuvent parfois obtenir des prototypes des composants de Motorola qui reçoivent alors le préfixe PC.

Actuellement les processeurs 68040, 68060 ainsi que les co-processeurs 68882 cadencés à 50 MHz portent le préfixe XC. Tous les autres composants de la série 68000 ont le préfixe MC.

Support :

Ces définitions peuvent varier selon les séries de processeurs.

FC Support quad flat pack plastique

FE Montage en surface céramique / Support quad flat pack céramique

FG Support quad flat pack céramique (ou plastique)

FN	Support quad pack
FT	Plastic Flat Pack
FU	Plastic Quad Flat Pack
KB	Ceramic PGA
L	Support dual-in-line
LC	Support céramique dual-in-line
P	Support plastique dual-in-line
PB	QFP
PU	Thin Quad Flat Pack
PV	TQFP
R	Support pin grid array avec standoff
RC	Support céramique pin grid array
RP	Support pin grid array plastique / Support quad flat pack plastique
ZP	Ball Grid Array
LRC	Comme RC, mais avec de meilleures caractéristiques thermiques
ERC	Comme RC, mais avec de meilleures caractéristiques thermiques

Fréquence d'utilisation :

Les processeurs Motorola sont certifiés pour les fréquences suivantes :

8, 10, 12 (en fait 12.5), 16 (en fait 16.67), 20, 25, 33 (en fait 33.33), 40 et 50 MHz

Faire fonctionner un processeur à une fréquence supérieure à celle pour laquelle il est certifié risque de provoquer une surchauffe du composant et éventuellement de l'endommager.

Révision :

Voici les niveaux de révisions de processeurs actuellement disponibles :

MC68020	Rev E
MC68030	Rev C
MC68882	Rev A
PPC 603	Rev A

1.4 Les Processeurs Motorola

Voici un survol des différentes versions des MC68000 ainsi que leurs principales utilisations dans l'Amiga :

MC 68000

MC 68020

MC 68008

MC 68030

MC 68010

MC 68040

MC 68012

MC 68060

PowerPC

Les dérivés

1.5 MC68000 et MC68HC000

Né en 1979, le MC68000 est l'UC avec laquelle est né l'Amiga, ← utilisée dans l'A1000 en premier lieu, et par la suite dans l'A500, CommodoreDynamicTotalVision, A500+, A600 et les A2000 de base. Présentée dans un boîtier de 64 broches, cette UC est caractérisée par un bus d'adresse travaillant sur 24 bits, lui procurant une capacité d'adressage de 16 mégaoctets, et un bus de données sur 16 bits. Ce microprocesseur est considéré comme étant une unité 16/32 bits. Il reçoit les données sous format 16 bits, cependant, en interne, il effectue un traitement sur 32 bits au niveau des données comme des instructions. Dans tous les Amiga de bases utilisant cette UC, le microprocesseur est cadencé à la fréquence du bus du système, approximativement 7.15 MHz pour les systèmes fonctionnant sous NTSC, et environ 7.09 MHz pour les systèmes PAL. Certaines cartes accélératrices construites autour de cette UC (alors cadencée à 14.28 MHz, voire 16.0 MHz) existent, prenant la place du composant original de la carte mère.

Plus tard, la variante du 68000 nommée MC68HC000 a fait son apparition sur le marché des cartes accélératrices pour Amiga. Le 68HC000 est un 68000 classique, mais fabriqué en technologie CMOS (Complementary Metal Oxide Silicon). Cette technique de fabrication du composant lui permet d'être cadencé à des taux plus élevés (8, 10, 12, 16, 20 MHz), avec une consommation d'énergie inférieure à celle d'un 68000 standard. En dehors de ces points, le 68HC000 est identique au 68000 de base. Actuellement, le MC68000 n'est plus produit mais le 68HC000 le remplace avantageusement.

Supports

Brochage DIP

Brochage LQFP

Brochage PGA

Brochage PLCC

1.6 MC68008

Ce composant est quasiment identique au 68000. Cependant, il offre un bus de données sur 8 bits et un bus d'adressage sur 20 bit. Il adresse donc 1 Mo de mémoire et ne peut donc être utilisé dans l'Amiga. Il est légèrement plus petit que le 68000 et est couramment trouvé à une fréquence de 8 ou 10 MHz. Ce processeur n'est plus produit mais peut être remplacé par un 68EC000. Ce dernier propose les mêmes fonctionnalités mais n'est pas compatible broche à broche.

Supports

1.7 MC68010

Cette UC n'a pas été officiellement utilisée dans les systèmes Amiga, elle peut cependant être trouvée à l'occasion. Le MC68010 est compatible broches à broches avec le MC68000, autorisant le remplacement par simple échange dans tout système utilisant ce dernier (avec l'utilisation de patches adéquates). La plupart des systèmes ne notent pas d'accélération fantastique des performances en utilisant le 68010 puisque ses améliorations par rapport au 68000 n'ont rien de révolutionnaire. Le MC68010 intègre différentes optimisations de routines internes par rapport au MC68000, permettant une exécution plus rapide des instructions dans certaines circonstances. La différence majeure avec le 68000 est l'apparition du VBR (Vector Base Register) qui contient l'adresse de départ de calcul de tous les autres vecteurs du 68000. Il adresse directement 16 Mo et les notions de gestion de mémoires et de machines virtuelles ont été ajoutées. Ainsi, cette UC n'a été que rarement utilisée dans les Amiga, et est souvent présente quand des possesseurs d'Amiga équipé de 68000 ont choisi de remplacer directement leur UC de base par ce composant. Le 68010 existe en versions 8, 10 et 12 MHz. Ce processeur n'est plus en production.

Supports

Brochage DIL

1.8 Les supports de la série 68000

Le suffixe de la référence du processeur indique le support pour lequel il est prévu :

Suffixe	Broches	68000	68008	68010	68HC000	68HC001	68EC000
L	64	X					
P	48		X				
R&P	64	X		X	X		
R	68	X		X			
RC	68	X		X	X	X	

FN	52		X				
FN	68	X		X	X	X	X
FC	68				X	X	
FU	64						X

L = DIP Céramique
 P = DIP Plastique
 RP = Pin Grid Array Plastique
 RC = Pin Grid Array, Gold Lead Finish
 FN = Plastic Quad Pack (PLCC)
 FC = Plastic Quad (Gull Wing)
 FU = Plastic Quad Flat Pack (14 x 14mm)

1.9 MC68012

Ce composant est une version améliorée du 68010. Il possède 31 lignes d'adresses et peut donc gérer 2 Go de mémoire. Cependant le 68012 n'est pas compatible broche à broche avec le 60000 et ne peut donc être utilisé sur l'Amiga.

1.10 MC68020

Une progression majeure de la gamme en 1984. Le MC68020 intègre un grand nombre d'améliorations par rapport aux précédents membres de cette famille de microprocesseurs. Le MC68020 est le premier microprocesseur vrai 32 bits de la série des 68000, incorporant des bus d'adresses et de données entièrement 32 bits, ainsi qu'un cache d'instructions de 128 octets, de façon à garder les routines souvent utilisées sur un support à accès rapide. Le MC68020 est une avancée décisive par rapport aux MC68000 ou MC68010, avec une architecture plus apte à faire face aux sollicitations de ces nouvelles ressources. Sa capacité d'adressage est de 4 Go. Il est aussi prévu pour un interfaçage efficace avec des coprocesseurs comme le 68881/82 ou la PMMU 68851. Le 68020 est utilisé dans les premiers Amiga accélérés, apparaissant en tant que processeur central dans les premiers A2500 (14.28 MHz), ou sur les cartes des systèmes abritant une CBM A2620 (14.28 MHz). De nombreuses cartes accélératrices utilisant cette UC furent produites par des sociétés tierces, allant des produits bon marché pour A500 à ceux prévus pour la série des A2000. Par la suite, l'A1200 et la CD32 en furent dotés (14.32 MHz NTSC ou 14.18 MHz PAL) mais dans sa version EC. Dans la plupart des cas, cette UC est cadencée approximativement à 14.28 - 16.0 MHz (voire 28 MHz), quelques cartes bon marché se limitant au 7.15 MHz (NTSC) / 7.09 MHz (PAL) de l'horloge de l'Amiga. Cependant, le 68020 existe en versions 12, 16, 20, 25 et 33 MHz. On le trouve sous quatre formes : RC 114 broches, FE 132 broches, RP 114 broches et FC 132 broches.

68020 PGA

1.11 MC68030

Des améliorations furent apportées au MC68020 en 1987, incluant l'ajout d'un cache de données de 256 octets en complément à celui d'instructions existant, et l'intégration d'une unité de gestion mémoire (MMU) en vue de produire le MC68030. Il dispose aussi d'une possibilité d'accès Burst en RAM. Des améliorations internes ont été apportées à cette UC par rapport au MC68020 pour lui permettre de tenir sa place face à la génération de microprocesseurs concurrents. Le 68030 peut être vu comme une optimisation du 68020, apportant quelques détails supplémentaires, mais sans représenter une fantastique évolution de son architecture vis à vis de son prédécesseur.

Le MC68030 est l'UC des derniers A2500 (25 MHz), ainsi que celle des A3000 (16 ou 25 MHz). Celle des A4000/030 (25 MHz) est une version EC. Ce microprocesseur a aussi été largement utilisé sur des cartes accélératrices pour tous les modèles d'Amiga et est cadencé à différentes vitesses allant de 16.0 MHz à 50 MHz. On le trouve sous trois formes : RC 128 broches, RP 124 broches et FE 132 broches.

68030 dans l'A3000

68030 PGA

68030 PLCC

1.12 MC68030 des A3000

Brochages des MC68030 soudés sur la carte mère des Amiga 3000 :

1	Masse	65	MMUDIS*
2	Masse	66	Masse
3	DSACK0*	67	Masse
4	+5 volts	68	IPL2
5	Masse	69	IPL1
6	CLKIN	70	IPL0
7	AVEC*	71	CDIS*
8	+5 volts	72	+5 volts
9	FC2	73	REFILL*
10	FC1	74	STATUS*
11	Masse	75	D0
12	FC0	76	D1
13	RMC*	77	Masse
14	OCS*	78	D2
15	CIOUT*	79	D3
16	BG*	80	D4
17	BGACK*	81	D5
18	+5 volts	82	D6
19	Masse	83	D7
20	BR*	84	Non connecté
21	A0	85	+5 volts
22	A1	86	D8

23	A31	87	D9
24	A30	88	D10
25	Masse	89	D11
26	A29	90	Masse
27	A28	91	D12
28	A27	92	D13
29	A26	93	D14
30	+5 volts	94	D15
31	A25	95	Masse
32	A24	96	D16
33	A23	97	D17
34	A22	98	D18
35	Masse	99	D19
36	A21	100	Masse
37	A20	101	D20
38	A19	102	D21
39	A18	103	D22
40	A17	104	D23
41	A16	105	+5 volts
42	A15	106	D24
43	A14	107	D25
44	Masse	108	D26
45	A13	109	D27
46	A12	110	Masse
47	A11	111	D28
48	A10	112	D29
49	+5 volts	113	D30
50	Non connecté	114	D31
51	A9	115	+5 volts
52	A8	116	+5 volts
53	A7	117	R/W
54	A6	118	ECS*
55	A5	119	SIZ1
56	A4	120	SIZ0
57	Masse	121	DBEN*
58	A3	122	CIIN*
59	A2	123	Masse
60	Masse	124	DS*
61	Non connecté	125	AS*
62	IPEND*	126	CBREQ*
63	+5 volts	127	CBACK*
64	RESET*	128	+5 volts

1.13 MC68040

D'abord trouvé sur certaines cartes accélératrices, puis utilisé comme processeur principal pour l'A4000/040, le 68040 appartient à la génération suivante par rapport au modèle MC68030 et intègre de nombreuses et remarquables nouvelles capacités jamais vues dans cette série de microprocesseurs. Les caches d'instructions et de données trouvés dans le MC68030 sont présents, mais leur taille a été étendue à 4 Ko chacun. En plus, le cache de données de ce processeur supporte maintenant un mode d'opération 'CopyBack', offrant un temps d'accès extrêmement rapide aux données en détournant les écritures mémoires vers le cache jusqu'à ce qu'une mise à jour du contenu de la mémoire soit absolument nécessaire. La mémoire adressable est de 4 Go. Des MMU intégrées

sont présentes aussi bien pour les flux de données que d'instructions dans l'UC, et l'architecture interne a été largement optimisée pour de meilleures performances. Une unité de calcul en virgule flottante (FPU) est également intégrée pour les calculs concernés. Le 68040 est pour le moment trouvé à des vitesses allant de 25 à 40 Mhz (très exceptionnellement à 66 voire 80 MHz). On le trouve en RC 179 broches et FE 184 broches.

Plusieurs cartes accélératrices à base de 040 sont sorties pour A500/A2000/A3000/A4000. L'installation d'un 040 sur une carte pour A1200 semble poser de nombreux problèmes, à commencer par le dégagement excessif de chaleur.

68040 PGA
68040 CQFP
Les signaux du 68040V

1.14 MC68060

Le MC68060 est un microprocesseur 32 bits hautes performances. Il est totalement compatible avec les précédents membres de la famille M68000. Le MC68060 offre entre autre, un double cache mémoire intégré, des MMU destinées aux instructions et aux données, une unité de calcul sur flottants intégrée. Un haut degré d'exécution en parallèle est atteint par l'utilisation d'une architecture interne Harvard complète, de bus internes multiples, des unités d'exécutions indépendantes. La gestion de l'énergie fait aussi partie de l'architecture du MC68060. Il offre un mode d'opération à basse consommation d'énergie accessible par l'instruction LPSTOP. Le MC68060 est conçu pour que les circuits non utilisés ne consomment pas de courant.

La complète compatibilité avec les précédants membres de la famille permet d'utiliser les programmes existants et de profiter de l'expérience acquise afin de sortir rapidement de nouveaux produits.

Liste des principales caractéristiques du 68060 :

- 100 % compatible 68040 pour l'utilisateur
 - Performances 3 fois supérieures à celles d'un 68040 à 25 MHz
 - Exécution en parallèle des instructions sur les entiers
 - FPU intégrée compatible IEEE
 - MMU indépendantes pour les instructions et les données
 - 2 caches intégrés de 8 Ko à accès simultané pour les données et les instructions
 - Surveillance du bus
 - Bus 32 bits non multiplexés pour les données et les instructions
 - Contrôle de la consommation d'énergie
-

- Technologie HCMOS
- Disponible en 50 et 66 MHz
- Livré en PGA (Pin Grid Array) ou CQFP (Ceramic Quad Flat Pack)

L'unité de gestion des entiers se charge des opérations logiques et arithmétiques. Elle contient un contrôleur d'entrées/sorties d'instruction, un contrôleur d'exécution et un cache de sortie.

Ce cache de sortie joue un rôle majeur dans les performances du MC68060. Le concept de ce cache est d'offrir un mécanisme qui permet au canal d'instructions de détecter et de changer la direction du flot d'instructions avant que le flot n'affecte le contrôleur d'exécution des instructions.

Le contrôleur d'exécution des instructions

Ce contrôleur contient un double canal d'exécution sur entiers, une interface logique avec la FPU et un contrôle logique des données écrites dans le cache de données et de la MMU. Chaque cycle d'horloge permet d'exécuter deux instructions simultanément.

Le MC68060 est optimisé pour la plupart des instructions sur entiers. Si, durant le décodage d'une instruction, celle-ci est déterminée comme étant une instruction sur flottant, elle sera passée à la FPU.

La FPU se charge des calculs comportant des nombres avec virgules flottantes. Celle-ci est compatible avec les 68881/82 et celle intégrée au MC68040. Le fait de conserver cette importante unité en interne accélère le traitement en général et élimine la nécessité d'une interface avec une unité externe. Cette FPU opère en parallèle avec l'unité traitant les entiers.

Cette FPU a été optimisée pour la plupart des instructions ou données et peut être déconnectée par logiciel pour réduire la consommation de courant.

Le MC68060 contient des MMU indépendantes pour les instructions et les données. Chacune contient un cache mémoire appelé Cache de Translation d'Adresse (ATC). La capacité d'adressage totale du MC68060 est de 4 Go (soit 4 294 967 296 octets).

Chaque MMU protège les zones superviseur des accès par les programmes utilisateurs et offre une protection en écriture sur une base page par page. Pour une efficacité maximale, chaque MMU opère en parallèle avec les autres activités du processeur. Elles peuvent aussi être déconnectées.

Pour ce qui concerne l'utilisation dans l'Amiga, la carte processeur CyberStorm 060 pour A4000/A3000 est disponible. Quelques sociétés comme Phase5, M-tec (GVP), Apollo et DKB présentent des cartes accélératrices pour A2000 et pour

A1200. La conception d'une carte 060 pour 1200 pose a priori moins de problèmes qu'avec un 040 car le 060 dégage moins de chaleur pour une consommation inférieure.

Amiga Technologie annonçait la sortie d'Amiga 4060, sans oublier que le Draco l'utilise comme unité centrale.

68060 PGA
68060 CQFP
Schéma de principe
Schémas des signaux

1.15 PowerPC

Le PowerPC est un microprocesseur RISC conçu pour correspondre à un standard défini conjointement par Motorola, IBM et Apple. Ce standard définit l'architecture commune d'un jeu d'instructions, permettant à tous de créer et fabriquer des processeurs PowerPC, fonctionnant avec le même code. L'architecture du PowerPC est basée sur celle des IBM Power utilisés dans les stations de travail RS/6000.

Le standard PowerPC spécifie des formats de données sur 32 et 64 bits. Ce dernier sera utilisé dans un avenir proche pour atteindre de hautes performances. Le PowerPC possède 32 registres d'entiers (32 ou 64 bits) et 32 registres en virgules flottantes au standard IEEE 64 bits.

Le PowerPC intègre une émulation du code 680x0, permettant de faire fonctionner la plupart des applications destinées à cette gamme de microprocesseurs.

La plate-forme commune est nommée
CHRP
ou PowerPC PlatForm.

Les différents modèles :

PowerPC 601 :

Le premier PowerPC. Il a été conçu comme un pont entre l'architecture POWER (Performance Optimized With Enhanced RISC architecture) et l'architecture PowerPC, il devie donc légèrement du standard PowerPC.

Le microprocesseur PowerPC 601 est la première implémentation 32 bits de l'architecture RISC PowerPC. Ce microprocesseur offre un haut niveau de performances pour les systèmes informatiques, du simple ordinateur de bureau, aux stations de travail multiprocesseurs. Sa conception flexible lui permet de travailler à 2.5 volts (601v) ou 3.6 volts (601).

Sa conception superscalaire lui permet de traiter trois instructions par cycle d'horloge. Les instructions sont dirigées vers de multiples unités d'exécution et s'exécutent en parallèle.

Le PowerPC 601 intègre trois unités d'exécution, une unité de traitement des entiers, une unité de traitement des branchements, et une unité de traitement des flottants. Il intègre également une unité de gestion de la mémoire (MMU), un cache d'instructions et de données unifié, une horloge en temps réel et une capacité d'auto-test.

Le cache intégré de 32 Ko est unifié pour les instructions et les données. La MMU est aussi unifiée. Une interface pour un cache de niveau 2 est présente.

Il intègre 2.8 millions de transistors. Il dispose d'un bus d'adresse sur 32 bits et d'un bus de données sur 64 bits. Développé en technologie 0.6 micro il mesure 120 mm². Il est présenté en boîtier QFP (Quadruple Flat Pack).

Le PPC601 équipe les Power Macintosh de la première génération, les plus récents (PowerMac 7200, 7500 et 8200) profite d'un PPC601c.

Fabriqué par IBM et vendu par Motorola.
Existe en versions 50, 60, 66, 75, 80.

Le PowerPC 601v est une évolution du premier. Il est développé en technologie 0.5 micron, mesure 74 mm², consomme moins d'énergie et peut être cadencé à 100, 110 et 120 MHz.

PowerPC 602 :

Dispose d'un cache d'instruction de 4 Ko, et d'un cache de données de 4 Ko. Son bus de données est sur 64 bits alors que son bus d'adresse est sur 32 bits. Il exécute 2 instructions par cycle d'horloge. Développé en technologie 0.5 micron il mesure 50 mm² et intègre 1 million de transistors. Il peut être cadencé à 66 MHz. Il est principalement destiné aux applications domestiques, audio/vidéo, multimédia, ou encore la communication et la reconnaissance vocale.

PowerPC 603 :

Un processeur à basse consommation d'énergie, destiné aux applications portables. Ses performances sont sensiblement équivalentes à celles du 601. Dispose d'un cache de 8Ko pour les instructions et un autre pour les données. Il peut exécuter 3 instructions par cycle d'horloge. Il dispose d'une gestion de la puissance en vue d'économiser l'énergie. Bus de données sur 32 ou 64 bits et bus d'adressage sur 32 bits. Développé en technologie 0.5 micro il mesure 83 mm² et intègre 1.6 million de transistors. Il est présenté en boîtier CQFP (Ceramic Quadruple Flat Pack).

Fabriqué par IBM et Motorola.
Existe en versions 66, 75, et 80 MHz.

Le PowerPC 603e est un dérivé du 603, sur lequel les caches passent à 16 Ko, la taille à 98 mm² et le nombre de transistors à 2.6 millions. Il est cadencé de 80 à plus de 200 MHz. Il équipe les PowerMacintosh Performa ainsi que la plupart des PowerBook récents.

Il est aussi utilisé dans la BeBox et sera très certainement utilisé sur les cartes accélératrices prévues pour la gamme d'Amiga actuelle.

PowerPC 604 :

Un processeur à hautes performances, destiné aux machines haut de gamme. Il dispose d'un bus de données sur 64 bits et d'un bus d'adresse sur 32 bits. Il peut exécuter 4 instructions par cycles d'horloge. Les fonctions de pipelining et de travail en parallèle sont plus importantes. Il intègre un cache de 32 Ko (16 Ko pour les instructions et 16 Ko pour les données). Ses MMU (une pour les données et une pour les instructions) gèrent jusqu'à 4 petaoctets (2 puissance 50) de mémoire virtuelle, et 4 Go de mémoire physique. Un système dynamique de prédiction de branchement améliore encore la puissance de calcul. Développé en technologie 0.5 micron il mesure 197 mm² et intègre 3.6 millions de transistors.

Existe en versions 90, 100, 120 et 132 MHz. Il est présent dans les premiers modèles de PowerMacintosh 8500 et 9500.

La dernière évolution du PPC604 est le 604e, ses caches passent à 2x32 Ko. Il existe jusqu'en 225 MHz. Les PowerMac (et clones) les plus rapides en sont pourvus.

Ce modèle est le processeur choisi par Amiga Technologie pour la génération Power des Amiga.

PowerPC 615 :

Annoncé par IBM, prévu pour intégrer le hardware nécessaire à l'émulation d'un système x86.

PowerPC 620 :

Le plus puissant de la gamme actuellement. Il dispose d'un bus de données sur 64 ou 128 bits et d'adresse sur 40 bits avec plusieurs niveaux de parallélisme. Il exécute 4 instructions par cycle d'horloge, possède un cache de données de 32 Ko et d'instructions de 32 Ko. Développé en technologie 0.5 microns il mesure 311 mm² et intègre 7 millions de transistors.

Destiné aux stations de travail et aux systèmes multi-processeurs, il est cadencé à 133 MHz.

PowerPC 630 :

Annoncé pour 1997. Prévu pour les architectures massivement parallèles. Puissance estimée au double de celle d'un 620.

1.16 La plate-forme CHRP

Les constructeurs Apple, IBM et Motorola ont récemment défini les caractéristiques de leur plate-forme de développement commune. La Common Hardware Reference Platform devrait permettre à ces constructeurs de lutter efficacement contre le quasi monopole des machines Intel-Microsoft.

Cette base représente les caractéristiques minimales que devra avoir une architecture matériel pour recevoir l'appellation CHRP (ou PowerPC Platform). Chaque constructeur est libre d'ajouter des éléments supplémentaires pour se démarquer de la concurrence ou pour ajouter des fonctionnalités additionnelles.

Toutes les machines CHRP utiliseront un ou plusieurs PowerPC éventuellement montés sur carte fille. Le 601 est exclu.

La mémoire cache niveau 2 n'est pas obligatoire mais recommandée.

La ROM peut être soudée sur la carte mère mais un emplacement sous forme de barette est prévu.

La RAM minimum devra être de 8 Mo extensible à au moins 32 Mo, sans limite supérieure.

Mémoire non-volatile de 8 Ko.

Horloge temps réel.

Les mémoires de masses sont au libre choix du constructeur (IDE, SCSI et PC Card sont acceptés). Le lecteur de CD-ROM est une option.

Le lecteur de disquette 3.5" 1.44 Mo devra disposer d'un système d'éjection mécanique (type Amiga et PC) et d'un système d'éjection électrique (type Mac).

La souris a obligatoirement deux boutons. Des périphériques d'entrées aux normes ADB et PC devront pouvoir être connectés.

Le système audio travaillera en 16 bits stéréo à 22.05 et 44.1 KHz full duplex.

La vidéo intégrée devra gérer des modes standards jusqu'à 1024 x 768. Un mode minimum de 640 x 480 x 256 est requis.

Les bus d'extension obligatoires sont à la norme PCI. Des bus ISA peuvent être présents en option.

Un port série et un port parallèle. Connections infrarouge optionnelles.

La technologie Open Firmware permet d'utiliser le système d'exploitation de son choix.

Cette base technologique a de grandes chances d'être adoptée par Amiga Technologies pour les PowerAmiga.

Schéma de principe

1.17 Les dérivés

Il y a plusieurs versions de ces modèles de microprocesseurs en production. ↔

Les plus récentes variantes créées par Motorola sont les séries "EC" des M680X0, et les séries "LC" du MC68040. Les séries "EC" (Embedded Controller) sont caractérisées par des changements par rapport au composant original, allant d'une simple modification d'aspect au retrait de certaines fonctions internes.

Cette dernière option est celle qui a été choisie pour les MC68EC020, MC68EC030 et MC68EC040.

Leur prix étant légèrement inférieur aux composants originaux, Commodore a préféré installer ces microprocesseurs dans les A1200/CD32 (MC680EC20), A4000/30 (MC680EC30) et certains A4000/40 (MC680LC40).

MC 68EC020

MC 68EC030

MC 68EC040, 68LC040 et 68040V

MC 68EC060 et 68LC060

1.18 MC68EC020

Le MC68EC020 se distingue par un adressage sur 24 bits (soit 16 Mo adressables), contrairement au classique adressage sur 32 bits du 68020 standard. En dehors de cette différence, il est identique au 68020.

Il existe en support FG ou RP de 100 broches, à 16 ou 25 MHz.

1.19 MC68EC030

Le MC68EC030 est caractérisé par l'absence d'une MMU intégrée. Sinon, il fonctionne de la même façon qu'un MC68030 standard.

Il existe en supports RP 124 broches, FE 132 broches et PV 144 broches.

En fait, la MMU n'est pas absente, mais simplement désactivée par une mise à la masse.

Motorola a, pendant une courte période, été en rupture de stock de 68EC030. Plutôt qu'imposer de longs délais à leurs clients, les responsables de Motorola ont préféré envoyer des 68030 complets mais gravés MC68EC030. Ainsi, certaines machines ou cartes présentes sur le marché à cette époque sont donc peut-être équipées d'un "vrai" MC68030.

1.20 MC68EC040, MC68LC040 et MC68040V

Les MC68EC040 et MC68LC040 sont similaires l'un et l'autre excepté que les MMU intégrées du 68040 standard sont préservées dans le LC, avec uniquement une FPU non opérationnelle dans cette unité, alors que le EC se voit retiré aussi bien la FPU que les MMU.

Dans les premiers temps, quelques 68040 référencés MC68EC040 ont pu être trouvés sur les premières cartes accélératrices pour Amiga. Ces composants sont en fait des beta versions. Malgré le EC présent dans le nom, ces unités possèdent bien leurs MMU et leur FPU et fonctionnent comme un 68040 classique.

Ces deux modèles sont disponibles en supports RC 179 broches et FE 184 broches.

Le 68EC040 est disponibles en 20, 25, 33 et 40 MHz alors que le 68LC040 est disponible en 20, 25 et 33 MHz.

Dernièrement, Motorola a annoncé la sortie de deux versions du 68040 : 68LC040 à 33/66 Mhz et 68LC040 25/50 Mhz. Les deux fréquences indiquent le fonctionnement externe et interne. Cependant, aucune utilisation n'est prévue dans l'Amiga pour l'instant.

Le dernier dérivé de la gamme 040 est le MC68040V. Il reprend le schéma de fonctionnement du MC68LC040 mais dans une architecture 3.3v destinée aux implémentations basses consommations et faibles émission de chaleur. Il intègre ainsi un mode de basse consommation et d'extinction (comme le MC68060).

Il est disponible un boîtier CQFP (FE) de 184 broches à 25 ou 33 MHz.

Schéma des signaux du 68040V

1.21 MC 68EC060 et 68LC060

Le MC68EC060 reprend l'architecture globale du XC68060 mais se trouve dépourvu de FPU et de MMU.

Le MC68LC060 quant à lui, conserve les MMU.

Ces deux processeurs sont disponibles en RC 206 broches à une fréquence de 50 MHz ou 66 MHz. Le MC68EC060 est aussi disponible en version 40 MHz.

1.22 Les Unités De Calculs En Virgule Flottante (FPU)

De nombreux Amiga "accélérés" utilisent aussi une FPU (Floating Point Unit) (ou

FPCP pour Floating Point CoProcessor) pour les calculs intensifs portant sur les virgules flottantes. Les principales FPU utilisées sur les différents Amiga disponibles, comme sur les cartes accélératrices proposées, sont aussi fabriquées par Motorola. Que ce soit en tant que coprocesseur distinct, ou, comme dans le cas du MC68040, intégré dans l'UC elle-même.

Voici un rappel des différentes FPU utilisées :

MC 68881

MC 68882

MC 68040 et 68060

1.23 MC68881

Il s'agit d'une unité séparée de calcul en virgule flottante ↔ qui accélère

considérablement le fonctionnement des logiciels prévus pour son utilisation, tout en s'intégrant parfaitement dans le système existant. Cette unité autorise un certain niveau de travail en parallèle, offrant la possibilité d'exécuter certaines instructions alors que l'UC principale exécute d'autres opérations. La gestion de ce coprocesseur est possible soit par l'intermédiaire d'une routine d'interfaçage intégrée aux MC68020 et MC68030, ou par une émulation logicielle de cette interface pour les MC68000 et MC68010. Cette dernière technique n'a été utilisée que par quelques-unes des premières cartes accélératrices pour Amiga, puisque l'interface recommandée, celle des MC68020 et MC68030, est supportée par quasiment tous les accélérateurs utilisant ces UC. Le MC68881 peut fonctionner de façon asynchrone avec l'horloge de L'UC, signifiant qu'il n'est pas nécessaire de le cadencer à la même vitesse que l'UC elle-même. Ainsi, une FPU plus rapide peut être utilisée pour donner une sorte d'effet turbo aux opérations en virgule flottante.

Le MC68881 supporte toutes les caractéristiques IEEE en flottants, ainsi que la plupart des fonctions arithmétiques et transcendentales.

Il supporte les formats suivants :

- Simple précision 32 bits
- Double précision 64 bits
- Précision étendue 80 bits.

Les MC68881 utilisés dans les Amiga sont trouvés le plus souvent à des fréquences d'horloge allant de 12 à 33 MHz. Né en 1985 ce coprocesseur était présent sur les cartes CBM A2620 (14.28 MHz), les toutes premières cartes CBM

A2630
(25 MHz) et sur les
A3000 à 16 MHz

.

Ce processeur n'est plus produit mais est avantageusement remplacé par le MC68882 avec lequel il est compatible broche à broche. Seules quelques adaptations logicielles sont nécessaires.

1.24 MC68881 sur A3000

Brochages des MC68881 soudés sur les cartes mères des A3000 à 16 MHz :

1	D2	35	D29
2	D1	36	D28
3	D0	37	D27
4	SENSE*	38	D26
5	Masse	39	D25
6	Masse	40	D24
7	Masse	41	Masse
8	Masse	42	D23
9	Masse	43	+5 volts
10	+5 volts	44	D22
11	CLK	45	D21
12	Masse	46	D20
13	RESET*	47	D19
14	Masse	48	D18
15		49	D17
16	+5 volts	50	D16
17	+5 volts	51	Masse
18	SIZE*	52	+5 volts
19	Masse	53	+5 volts
20	DS*	54	D15
21	AS*	55	D14
22	A4	56	D13
23	A3	57	D12
24	A2	58	D11
25	A1	59	D10
26	A0	60	D9
27	+5 volts	61	+5 volts
28	RW*	62	D8
29	CS*	63	Masse
30	Masse	64	D7
31	DSACK0*	65	D6
32	DSACK1*	66	D5
33	D31	67	D4
34	D30	68	D3

1.25 MC68882

Le successeur du MC68881 en 1986. Cette unité supporte les mêmes interfaces et ←

opérations que la précédente, mais avec quelques améliorations internes. Les routines de nombreuses opérations ont été optimisées pour accélérer les temps de réponse, et la possibilité d'effectuer plusieurs opérations en virgule flottante simultanément est ajoutée. De plus, elle se compose maintenant de deux parties : l'unité de conversion (qui transforme les données en un format interne de 80 bits) et l'unité arithmétique. En général cette FPU travaillera à 1,5 fois la vitesse d'un MC68881 pour une fréquence d'horloge équivalente. Le MC68882 est couramment cadencé à des fréquences allant de 16 à 50 MHz, en fonction de la carte ou du système qui l'utilise. Très répandu, ce composant se trouve sur la plupart des cartes accélératrices récentes. Par exemple, il est présent sur l'A3000 à 25 MHz ou l'

A2630

.

Il est disponibles en supports RC et FN de 68 broches.

68882 PGA

1.26 A2630 et 68882 ou 68881 ?

Commodore avait prévu d'équiper ses cartes accélératrices A2630 de coprocesseurs arithmétiques MC68881 à 25 MHz. C'est d'ailleurs ce nom qui est inscrit sur les premières cartes (Révision 6 par exemple). Mais Motorola éprouvait alors de grosses difficultés à fournir en nombre des MC68881 à 25 MHz fiables. Commodore opta alors pour le 68882, conçu dès l'origine pour cette fréquence.

1.27 MC68040 et MC68060

Les MC68040 et MC68060 intègrent une FPU dans le processeur lui-même. Cette FPU est une version édulcorée du MC68882, éliminant principalement les fonctions transcendentes (sin, cos, etc...) et complexes présentent dans les routines du précédent. Néanmoins, la nature optimisée des instructions de cette FPU permet, en émulation des fonctions absentes, d'offrir une exécution plus rapide qu'un MC68882 pour presque toutes les opérations.

1.28 Les Unités De Gestion Mémoire par Pagination (PMMU)

Les PMMU (Paged Memory Management Units) sont très peu utilisées dans les systèmes Amiga. Cependant elles offrent des fonctions qui ne sont pas inintéressantes. Sur certains systèmes accélérés équipés de PMMU, l'image de la ROM peut être déplacée vers un support mémoire plus rapide. Les temps d'accès à la ROM sont généralement plus lents que ceux effectués en RAM, et dans le cas d'une A500 ou A2000 pourvue d'une carte accélératrice équipée d'un bus de données sur 32 bits, plutôt que le classique 16 bits 7.15 MHz, il est extrêmement avantageux de déplacer le code kernel du système d'exploitation vers une région de la mémoire aussi rapide d'accès.

Le principe de la PMMU consiste, pour chaque accès vers la mémoire, à modifier l'adresse véhiculée par le processeur (adresse logique) en une autre adresse (adresse physique) afin d'accéder réellement à l'information là où elle a été chargée par le système d'exploitation.

De manière générale, une PMMU offre la possibilité d'optimiser la gestion de la mémoire. Que se soit dans la recherche d'une plus grande rapidité d'accès, ou encore pour sécuriser les différentes zones qui cohabitent dans la mémoire de la machine. Cette dernière possibilité est d'ailleurs appréciée par les programmeurs qui peuvent ainsi aller fouiller les moindres recoins du système, avec un minimum de risques. La PMMU peut aussi être utilisée pour créer de la mémoire virtuelle sur mémoire de masse, en redirigeant les accès mémoires RAM vers un disque dur par exemple.

Le système UNIX ne peut d'ailleurs fonctionner que sur un système équipé d'une

PMMU.

Une ou deux PMMU sont intégrées dans les MC68030 standards, les MC68040, MC680LC40, MC68060 et MC68LC060. En ce qui concerne le MC68020, une PMMU externe était parfois présente sur certaines cartes accélératrices. Il s'agissait d'un composant distinct, le 68851 (ou très exceptionnellement la MMU 68451).

Le PMMU 68851

Le circuit PMMU 68851 (Paged Memory Management Unit) a été créé dans le but d'apporter un soutien efficace au processeur principal dans la gestion de la mémoire. Ce processeur doit être équipé d'une gestion de la mémoire virtuelle.

En fait, le PMMU fournit ses pleines possibilités en conjonction avec le 68020-030.

Principales caractéristiques :

Réalisé en technologie HCMOS

Adresses logiques et physiques sur 32 bits, code de fonction sur 4 bits

8 pages ayant une taille de rangement variable (256 octets à 32 Ko)

Protections possibles pouvant aller jusqu'à 8 niveaux

Support de l'ATC (Adress Translation Cache) pour le multitâche

Peut gérer un cache de données logiques ou physiques

Supporte plusieurs maîtres de bus logiques ou physiques

Existe en versions 12, 16 et 20 MHz

Le processeur maître et le coprocesseur communiquent en utilisant des cycles de bus standards mais peuvent travailler à des vitesses différentes.

1.29 Accès Burst

Transfert en salve de données sur une taille typiquement égale à un bloc du cache.

1.30 Les Custom Chips et les Autres

En plus des processeurs principaux, l'Amiga intègre aussi un certain nombre ↵

d'unités aux fonctions dédiées, connues sous le nom de custom chips. Leurs objectifs principaux sont variés, mais elles sont généralement chargées de choses comme la gestion des accès DMA et des différentes parties de la mémoire, de la génération des graphismes/sons et autres effets.

Les custom chips de l'Amiga et les coprocesseurs associés avec eux sont conçus de façon à soulager l'unité centrale de nombreuses tâches intensives, comme les opérations graphiques ou la génération du son. Elles supportent un niveau d'exécution en parallèle, permettant à l'UC de continuer à s'occuper des tâches non spécifiques pendant que les custom chips gèrent leurs opérations

respectives. Ces unités sont capables d'Accès Directs en Mémoire (DMA) CHIP, libérant complètement l'UC de la responsabilité de cette tâche dans ce cas là.

Historique :

Original Chip Set

->

Enhanced Chip Set

->

AGA ou AA

ou Pandora

-?->

AAA

-?-> ←

Hombre

Ces custom chips ainsi que leurs alliés sont :

Agnus / Alice

Akiko

Amber

Bridgette

Budgie

Buster

Denise / Lisa

Gary

Gayle

Paula

Ramsey

Super DMAC

Video DAC

Contrôleurs SCSI

CIA A & B

1.31 Original Chip Set

Ce chipset est celui créé en 1985 avec l'Amiga par l'équipe d'origine, à Los Gatos en Californie. Jay Miner et RJ Michael en sont les principaux concepteurs. En son temps, l'OCS était le système graphique le plus avancé qu'il soit possible de trouver sur une machine personnelle.

Palette	4 096			
Couleurs maximales	4 096			
Basse Résolution	32			
Basse Résolution EHB6	64			
Basse Résolution HAM6	4 096			
Haute Résolution	16			
Taille maximale	16368 x 16368			
Standards d'affichage	NTSC, PAL			
Fréquence Horizontale	15kHz			
Fréquences Verticales	50Hz - 60Hz			
NTSC:Basse Résolution	320 x 200	6	60Hz	15.72KHz
NTSC:Basse Résolution entrelacé	320 x 400	6	60Hz	15.72KHz
NTSC:Haute Résolution	640 x 200	4	60Hz	15.72kHz
NTSC:Haute Résolution entrelacé	640 x 400	4	60Hz	15.72kHz
NTSC:Haute Résolution	724 x 241	4	60Hz	15.72kHz
NTSC:Haute Résolution entrelacé	724 x 482	4	60Hz	15.72kHz
PAL:Haute Résolution	640 x 256	4	50Hz	15.60kHz
PAL:Haute Résolution entrelacé	640 x 512	4	50Hz	15.60kHz

1.32 Enhanced Chip Set

Palette	4 096			
Couleurs maximales	4 096			
Basse Résolution	32			
Basse Résolution EHB6	64			
Basse Résolution HAM6	4 096			
Haute Résolution	16			
Super Haute Résolution	4			
Taille Maximale	16368 x 16368			
Standards d'affichage	NTSC, PAL			
Fréquences Horizontales	15kHz - 31kHz			
Fréquences Verticales	50Hz - 83Hz			
A2024_10Hz	1024 x 1024	2	60Hz	15.72kHz
A2024_15Hz	1024 x 1024	2	60Hz	15.72kHz
EURO: Basse Rés. entrel.	320 x 400	32	73Hz	15.76KHz
EURO: Basse Résolution	320 x 200	32	73Hz	15.76KHz
EURO: Haute Rés. entrel.	640 x 400	16	73Hz	15.76KHz
EURO: Haute Résolution	640 x 200	16	73Hz	15.76KHz
EURO: Super Rés. entrelac.	1280 x 400	4	73Hz	15.76KHz

EURO: Super Résolution	1280 x	200	4	73Hz	15.76KHz
EURO: Produc. entrelacée	640 x	800	4	70Hz	31.43KHz
EURO: Productivité	640 x	400	4	70Hz	31.43KHz
MULTISCAN: Productivité	640 x	480	4	60Hz	31.44KHz
MULTISCAN: Productivité entre	640 x	960	4	60Hz	31.44KHz
NTSC: Basse Rés. entrelacée	332 x	482	32	60Hz	15.72KHz
NTSC: Basse Résolution	332 x	241	32	60Hz	15.72KHz
NTSC: Haute Rés. entrelacée	664 x	482	16	60Hz	15.72KHz
NTSC: Haute Résolution	664 x	241	16	60Hz	15.72KHz
NTSC: Super Hte. rés.	1320 x	241	4	60Hz	15.72KHz
NTSC: Super Rés. entrelacée	1320 x	482	4	60Hz	15.72KHz
PAL: Basse Rés. entrelacée	362 x	566	32	50Hz	15.60KHz
PAL: Basse Résolution	362 x	283	32	50Hz	15.60KHz
PAL: Haute Rés. entrelacée	724 x	566	16	50Hz	15.60KHz
PAL: Haute Résolution	724 x	283	16	50Hz	15.60KHz
PAL: Super Hte. rés.	1440 x	283	4	50Hz	15.60KHz
PAL: Super Rés. entrelacée	1440 x	566	4	50Hz	15.60KHz
SUPER72: Haute Résolution	400 x	300	16	83Hz	27.22KHz
SUPER72: Hte. Rés. entrelacée	400 x	600	16	83Hz	27.22KHz
SUPER72: Super Rés. entrelacée	800 x	600	4	83Hz	27.22KHz
SUPER72: Super Résolution	800 x	300	4	83Hz	27.22KHz

1.33 Chipset AA ou AGA ?

Tout d'abord dénommé Pandora, ce chipset fut renommé AGA ou AA pour suggérer un lien avec le chipset alors en cours de développement : le AAA.

Il semblerait qu'une différence existe entre le chipset AGA (Advanced Graphics Architecture) et le chipset AA (prononcer "double A").

Par AGA, on entend l'ensemble des capacités du chipset actuellement présent dans les A1200, A4000 et CD-32. Et par AA on nommerait l'ensemble des fonctions de ce système qui seraient compatibles avec le chipset AAA.

En fait, certains registres présents dans le chipset AGA disparaîtront ou seront remplacés dans le AAA.

Avant d'être officiellement présenté avec l'A4000, le chipset AGA fut tout d'abords testé à l'état de prototype dans une machine spécialement conçue dans ce but par Dave Haynie.

En 1991, le premier A3000+ était capable de faire tourner le WorkBench sans soucis majeur. En plus du chipset AA, le A3000+ disposait d'un DSP AT&T DSP3210 à 50 MHz intégré comme coprocesseur. Mais de nombreuses difficultés d'intégration au reste du système décidèrent les dirigeants de CBM à abandonner le projet. Cependant, tout ce travail ne fut pas vain et permis à une société extérieure de concevoir une carte DSP sur connecteur Zorro III.

La vitesse du bus pour l'affichage est 4 fois plus rapide que l'ECS. L'interface avec la RAM Chip est dorénavant 32 bits (comme l'A3000), les accès de l'unité centrale vers cette RAM se font donc 2 fois plus vite qu'avec l'ECS.

Ce chipset autorise l'affichage de 256 couleurs sur une palette de 16 777 216 (en fait 25 bits : 8 rouge, 8 vert, 8 bleu, 1 Genlock).

Il est aussi possible de profiter d'un nouveau mode HAM8 permettant l'affichage en toute résolution de 262 144 couleurs. Ce chipset supporte des écrans productivity VGA (640 x 480 en 256 couleurs) à un taux de rafraichissement allant jusqu'à 72Hz. Un écran en 256 couleurs de 800 x 600, est aussi supporté en 72Hz interlacé. La taille des sprites a été accrue de 16 bits à 32 et 64 bits de large. En plus, les sprites peuvent être affichés sur les bords de l'écran et avoir des résolutions différentes des écrans hôtes.

L'AGA ajoute à l'ECS les modes suivants, tous affichables en 256 couleurs :

DBLNTSC:Basse Rés. entrelacée	320 x 800	59Hz	29.02KHz
DBLNTSC:Basse Rés. sans scint.	320 x 400	59Hz	29.02KHz
DBLNTSC:Haute Rés. entrelacée	640 x 800	59Hz	29.02KHz
DBLNTSC:Haute Rés. sans scint.	640 x 400	59Hz	29.02KHz
DBLPAL:Basse Rés. entrelacée	320 x 1024	50Hz	29.45KHz
DBLPAL:Basse Rés. sans scint.	320 x 512	50Hz	29.45KHz
DBLPAL:Haute Rés. entrelacée	640 x 1024	50Hz	29.45KHz
DBLPAL:Haute Rés. sans scint.	640 x 512	50Hz	29.45KHz

1.34 AAA

Le chipset AAA n'a jamais été officiellement présenté. Cependant, si de nouveaux modèles d'Amiga arrivent sur le marché, la présence de ce chipset fait partie des possibilités à envisager.

Le chipset AAA a tourné en 1992 dans une machine prototype du nom de NYX dans les laboratoires de CBM. Conçue par l'irremplaçable Dave Haynie, cette machine était largement basée sur l'architecture de l'Amiga 3000.

Synapse cite donc pour information les composants de ce chipset.

Récapitulatif des capacités du ChipSet AAA :

Ce chipset consiste en 4 composants CMOS, représentant environ 1 million de transistors. Il s'agit d'un système entièrement nouveau, et non une mise à jour de l'AGA, il n'a donc aucune des limitations de l'AGA. Ces 4 composants se nomment Andrea, Monica, Linda et Mary.

Andrea remplace l'Alice du chipset AA. Elle travaille en 32 bits, le blitter et le copper sont améliorés, elle dispose d'un mode burst sur la mémoire vidéo et gère des fréquences d'affichage jusqu'à 110 MHz.

Monica remplace Denise en ajoutant de nombreux autres modes d'affichage.

Linda est un composant tampon géré par Andrea et Monica.

Mary remplace Paula. Elle offre 8 canaux audio 16 bits, peut gérer des disquettes jusqu'à 4 Mo, des CD-ROM et des disques ST-506.

Ces composants sont tous intégralement 32 bits, à l'exception de Linda et Monica qui possèdent aussi des modes 64 bits. Ils ne sont pas limités par l'horloge à 14 MHz de l'AGA ou des accès DMA fixés électroniquement.

DMA :

Il y a 40 canaux DMA, possédant des allocations dynamiques de bande passante. Ce qui signifie que chaque canal peut être aussi rapide qu'il doit l'être (jusqu'aux limites de la bande passante totale du système).

Le DMA est utilisé pour tout, du Blitter et Copper jusqu'aux sprites, les voies audio, l'affichage, les entrées/sortie disquettes ou les ports série.

Ces canaux DMA sont le coeur du AAA et font partie de ce qui met l'Amiga en marge des autres ordinateurs. Ils font partie de ce qui offre à l'Amiga ces performances. Le système d'exploitation est parfaitement capable de tirer avantage des accès DMA et du travail des coprocesseurs, de part ça nature multitâche.

Quand une tâche attend la fin d'un accès DMA ou du travail d'un coprocesseur, une autre tâche peut être activée et utiliser le processeur. C'est quelque chose que les autres ordinateurs nous envient (par exemple, le Mac, qui ne possède pas le système multitâche préemptif requis pour cela. Les Mac haut de gamme possèdent des canaux DMA qui ne peuvent être utilisés par le système d'exploitation. Seul Unix sur Mac peut les utiliser).

Le Blitter et le Copper :

Dans l'AGA, le Blitter et le Copper entrent en obsolescence. Ils sont lents en comparaison des standards actuels, très lents, cependant, il n'existe encore rien qui offre les fonctions du Copper.

Avec l'AAA, ces deux acteurs capitaux sont grandement améliorés.

A la base, le Blitter n'est qu'un ensemble de canaux DMA qui fournit des données graphiques au processeur et les écrit ensuite en RAM. Le Blitter peut aisément réaliser les opérations nécessaires au déplacement d'images 2D. En plus de choses comme la combinaison de plusieurs images. Ces calculs sont un peu plus rapides que si ils étaient exécutés par un processeur non spécifique.

Le Blitter du AAA peut travailler sur des images 24 bits sensiblement plus rapidement que l'AGA le fait en 8 bits. Une fenêtre contenant une image 24 bits peut ainsi être déplacée instantanément.

Le Copper de l'Amiga est aussi un canal DMA. Il envoie un flot d'instructions vers le processeur. Il est capable de faire quasiment tout ce que l'UC peut faire : charger des registres du chipset, exécuter des sauts, des boucles ou attendre. Il peut être utilisé pour contrôler n'importe quoi dans le chipset, indépendamment de l'UC. il permet à l'Amiga d'avoir des écrans mobiles, des

écrans en scrollings bitmaps géants...

Avec la bande passante élevée et la flexibilité des canaux DMA du AAA, le Blitter et le Copper voient leur puissance encore accrue.

Le Son :

L'un des attraits de l'Amiga est ses capacités sonores intégrées. La plupart des ordinateurs de possèdent pas de vrai générateur de son en standard.

Les anciennes 4 voies sur 8 bits de l'Amiga ont été largement suffisantes jusqu'à présent et restent infiniment supérieures à la moyenne des PC.

Mais le AAA les élèvent à un niveau supérieur : il y a maintenant 8 voies indépendantes sur 16 bits et 64 KHz (contre 30 KHz sur l'AGA). Cela met chaque canal au delà d'un lecteur de CD en terme de précision, et bien au delà de la perception humaine. C'est aussi bien supérieur à la majorité des cartes sonores trouvées sur d'autres machines.

La génération du son étant gérée par les canaux DMA, l'UC est libérée de 99 % du travail.

Video :

Utilisant des DRAM et VRAM 32/64 bits et des accès burst à haute vitesse, le AAA accroît la bande passante d'un facteur x20 par rapport à l'AGA.

Tout d'abord, le AAA fonctionne plus vite de part sa conception CMOS. Tout est au moins 32 bits, augmentant ainsi la bande passante. La mémoire peut désormais fonctionner en mode burst, ce qui permet de lire 4 adresses successives en mémoires très rapidement.

La VRAM (Video RAM) a été mise au point pour tolérer les taux de transfert élevés requis pour l'affichage haute résolution. Elle possède deux ports, un exclusivement pour la video et un pour accéder et modifier les bitmaps. Cela double effectivement la vitesse.

Avec la VRAM il n'y a plus de "video contention". Ce phénomène est flagrant quand on ouvre un écran haute résolution avec de nombreuses couleurs (640 x 400 x 16c pour l'ECS ou 640 x 400 x 256c pour l'AGA). C'est parce que ces modes demandent tellement de bande passante, qu'il n'en reste quasiment plus pour l'UC et le Blitter.

Avec le AAA et la VRAM, ce problème disparaît. Le DMA vidéo utilise seulement un des ports de la VRAM. On peut ainsi ouvrir le plus grand écran en couleur sans que le Blitter, le Copper, etc ne soient ralentis. Ils auront tout de même d'avantage de travail.

La DRAM peut aussi être utilisée mais elle est plus lente. La VRAM coûte environ 2 fois plus chère. Il est cependant possible de combiner les deux. La VRAM n'est valable que pour l'affichage, la DRAM est bonne pour tout le reste. Il suffit de posséder assez de VRAM pour gérer son affichage. Il est possible d'avoir jusqu'à 16 Mo de DRAM + VRAM.

La résolution maximale non interlacée devrait être d'environ 1280 x 1024 en 8

ou 16 bits. Les 1024 x 768 sur 24 bits devraient aussi être possibles.

Il y aura aussi le choix entre des modes chunkys ou bitplans. Les chunkys seront 2, 4, 8 ou 16 bits. Les modes bitplans autoriseront jusqu'à 16 plans. Ces types peuvent être combinés. Un mode 24 bits aura 3 bitplans, contenant chacun une description chunky 8 bits.

Mais il y a aussi de nouveaux modes compressés, en plus du HAM et du HAM8. Le mode HAM10 offrira des graphismes 24 bits avec seulement 10 bits par pixel.

Entrées/Sorties :

Le AAA possèdent des ports série, un support pour des lecteurs de disquettes et des ports pour des périphériques d'entrée.

Les deux ports joystick/souris peuvent accepter un grand nombre de périphériques comme les joysticks standards, les souris mécaniques ou optiques, des joysticks analogiques, des crayons optiques ou des tablettes graphiques.

Le AAA possède aussi deux ports série bufferisés haute vitesse. L'ancien port série de l'AGA peut gérer jusqu'à 115 200 bauds, mais réclame un travail important de l'UC pour éviter la perte de données. Le AAA utilise un buffer FIFO (First In First Out) et le DMA pour éviter les erreurs à hautes vitesses.

Le port lecteur de disquettes enfin. Si l'AGA supportait un lecteur double vitesse pour reconnaître les disquettes HD, le AAA est tellement rapide qu'aucun lecteur ne peut en venir à bout. Il supporte même sans problème les lecteurs quadruple vitesse. Avec le système d'exploitation de l'Amiga, cela signifie 3.52 Mo par disque.

La gestion du lecteur de disquettes peut supporter les taux de transfert d'un CD-ROM simple vitesse ou d'un disque dur lent. Si jamais un lecteur de disquettes à octuple vitesse voyait le jour, le AAA pourrait le gérer.

DSP :

Même si il ne fait pas partie intégrante du chipset AAA, un DSP peut parfaitement s'y intégrer.

Il pourrait être d'un grand secours pour émuler un modem à haute vitesse, la synthèse vocale, la compression/décompression d'images, l'acquisition et le traitement de données, la reconnaissance vocale, etc...

Si un DSP devait être proposé, il s'agirait de l'AT&T 3210.

Le AAA est totalement indépendant du processeur central. Avec un bus local 64 bits, un processeur RISC serait parfaitement interfacé.

Ce chipset a été conçu pour être 100 % compatible avec l'ECS, et non avec l'AGA.

Même si les caractéristiques de ce chipset semblent impressionnantes par rapport à celles des machines actuelles, les concepteurs eux-mêmes affirment que cet ensemble de composants est obsolète d'un point de vue qualité/prix. En effet, le AAA serait tout juste au niveau des cartes graphiques qui sortent actuellement sur d'autres plate-formes, sans parler des consoles de jeux sur-puissantes qui arrivent sur le marché. Dave Haynie lui même est davantage intéressé par une architecture basée sur un bus PCI sur lequel une carte graphique (qui pourrait d'ailleurs comporter le AAA) serait présente. Cela faciliterait ainsi les mises à jours très rapides en ce domaine. De plus, le AAA couterait cher à finaliser pour une technologie qui n'est plus vraiment d'actualité. N'oublions pas que le début du développement de ce chipset remonte à 1989...

1.35 Hombre

Ce projet de chipset a été conçu comme une possible alternative au AAA. Il n'a jamais été réalisé mais semblait (avant la disparition de CBM) largement avancé. On en sait très peu de choses.

Ce chipset est 100 % compatible avec celui des Amiga actuels. Il intègre un noyau PA-RISC amélioré, un contrôleur VRAM, un Blitter d'un nouveau type... Couplé avec le composant de gestion de l'affichage, il peut agir en tant que noyau d'une console de jeux 3D à hautes-performances ou comme une carte graphique RTG très rapide. Les E/S se font dans les 2 directions à des taux supérieurs aux spécifications PCI.

Hombre est supérieur au AAA dans les domaines graphiques. Plus rapide, supporte les opérations 3D, des actions Blitter supérieures, etc... Il est conçu avant tout pour des graphismes en 16 et 24 bits et supporte 4 playfields 16 bits simultanément. La résolution maximale est de 1280x1024.

Mais il ne s'agit que d'un système graphique. Il ne gère pas les périphériques et le son.

L'idée, en fait, était de proposer un système graphique sur carte, facilement interchangeable.

1.36 AGNUS / ALICE

Agnus (Adress GeNerator Unit) est probablement le plus connu des custom chips. ←

Il existe sous différentes formes, allant du composant original, à la version "Super" trouvée dans le A3000. En dehors de changements internes mineurs, la principale différence entre ces versions est la quantité de mémoire à laquelle ils ont accès.

Agnus est responsable du contrôle des 25 canaux DMA, de la génération de toutes les fréquences d'horloge dans le A500 et A2000, et permet le contrôle et l'adressage de la RAM CHIP qui est la mémoire accessible par ces custom chips. La taille de cette région de la mémoire est déterminée par l'Agnus utilisé, et fait soit 512 ko, 1 Mo ou 2 Mo. Les custom chips étant principalement utilisés comme coprocesseurs pour des tâches graphiques et sonores, toutes les données

de ce type doivent se trouver dans la zone Chip de la RAM. Finalement, Agnus contient aussi le

Copper
et le
Blitter
.

Une mise à jour d'un Agnus adressant 512 ko ou 1 Mo vers un Agnus adressant 2 Mo est électriquement réalisable mais relativement complexe et coûteuse. Il existe quelques cartes sur le marché permettant aux A500 et A2000 de passer à 2 Mo de RAM CHIP. L'échange standard, les Agnus étant compatibles broches à broches, n'est évidemment pas suffisant pour résoudre le problème.

SuperFatAgnus = ObeseAgnus

FatLady = FatterAgnus

Parfois appelé Agnes dans les publicités anglo-saxonnes et dans les publicités pour les 1er A500.

Appelé Daphné dans les premières plaquettes publicitaires de Commodore...

Type	Ref	Vidéo	RAMCHIP	Amiga
8361	(252125-01)	NTSC	512 Ko	A1000, A2000A (Agnus)
8367	(252362-01)	PAL	512 Ko	A1000, A2000A (Agnus)
8370	(318070-01)	NTSC	512 Ko	A500, A2000A (FatAgnus)
8371	(318071-01)	PAL	512 Ko	A500 rev 3 à 5 et A2000A (FatAgnus)
8372	(318069-02)	NTSC/PAL	1024 Ko	A500 et A2000B (FatAgnus)
8372A	(318069-029)	NTSC/PAL	1024 Ko	A500 rev >=6a (depuis 05/89) et 6a/7, A2000B et CDTV (Fatter Agnus)
8372AB	(318069-03)	NTSC/PAL	2048 Ko	A3000(T) (SuperAgnus) (ou 8375B)
8375VBB	(318069-16)	NTSC/PAL	1024 Ko	A500, A2000B (ou 8375R1 ou 8375 RO)
8375R2	(318069-10)	NTSC/PAL	2048 Ko	A500+ et A600
8375	(318069-17)	NTSC	1024 Ko	A500, A2000B
8375R0	(318069-18)	PAL	2048 Ko	A500+ et A600
8375VBB	(318069-19)	NTSC/PAL	2048 Ko	A3000(T)
8375	(390544-01)	NTSC/PAL	2048 Ko	A500+ et A600

Brochage du 8361

Brochage du 8370

Brochage du 8372

Alice, le successeur d'Agnus, fait partie du chipset graphique AGA trouvé sur les derniers modèles d'Amiga. Contenant le même bus de données 16 bits d'interfaçage avec la RAM CHIP, Alice est néanmoins capable d'accéder directement en 32 bits à la RAM, aussi bien que de profiter de doubles cycles CAS en mode page, permettant des échanges plus importants avec la mémoire et des performances accrues.

8374 (391010-01) A1200, CD32

8374 R2 (391010-01) A4000

Brochage du 8374

1.37 Le Copper

Le Copper est un co-processeur intégré à Agnus. Il reçoit ces informations de la RAM en utilisant des accès DMA. De par sa capacité à contrôler la quasi totalité du système graphique, il soulage considérablement le 680X0, qui peut ainsi se consacrer à d'autres tâches. Ce co-processeur peut aussi intervenir directement sur les registres de contrôles des autres composants. Il a aussi la possibilité de remettre à jour : des registres, des données concernant le placement des sprites, la palette de couleurs, les canaux sonores et la gestion du Blitter.

Le Copper a la capacité d'attendre une position définie du faisceau d'électron, et de transférer les données dans un registre du système. Pendant cette attente, le Copper surveille en direct le compteur de position du faisceau, le bus mémoire est ainsi libéré et peut servir aux autres canaux DMA ou au 680X0.

Le transfert des données résultant de cette attente se fait en prenant des cycles de mémoire au Blitter ou au 680X0.

Le Copper ne demande l'accès au bus que lors des cycles de mémoire pairs. Il est ainsi en parfaite synchronisation avec la plupart des accès DMA, l'audio, les lecteurs de disquettes, le rafraîchissement de l'écran, les sprites, etc, qui eux travaillent sur des cycles impairs. En fait, il a juste besoin d'une gestion de priorités avec le Blitter et le 680X0.

Il est aussi utilisé pour le transfert des données sonores vers le convertisseur numérique-analogique de sortie.

Le Copper ne travaille bien sûr qu'en RAM Chip.

Il dispose d'un jeu de 3 instructions :

WAIT : attend une position précise du faisceau indiquée par ses coordonnées x et y.

MOVE : transfère la valeur recherchée dans les registres spécifiques.

SKIP : saute l'instruction suivante si le faisceau est déjà à une position donnée de l'écran.

En fait, le Copper est l'un des éléments majeurs de la génération de graphismes de l'Amiga.

1.38 Blitter

Au même titre que le Copper, le Blitter est un co-processeur intégré à Agnus. Sa fonction est de déplacer des zones de mémoire rectangulaires aussi efficacement que possible et de tracer des lignes. La copie de blocs mémoire est effectuée par le Blitter deux fois plus rapidement que par un 68000. en ce qui concerne le tracé de ligne, il travaille à une vitesse de 1 millions de pixels à la seconde.

Le Blitter ECS (à partir du 8372) permet de déplacer des régions rectangulaires de 32768 x 32768 pixels au lieu de 1024 x 1024 auparavant.

Le Blitter n'a bien sûr accès qu'à la RAM Chip. Il possède 4 canaux DMA : trois canaux sources et un canal cible.

Les opérations effectuées par le Blitter sont appelées Blits.

Le Blitter travaille de façon asynchrone, ainsi le 680X0 continue à fonctionner normalement pendant les blits.

Le Blitter a aussi la capacité d'exécuter des manipulations logiques spécifiques sur les données en cours de traitement.

1.39 AKIKO

Uniquement présente dans la CD-32, cette chip a pour principale fonction la gestion et la conversion des Chunky pixels simplement par l'utilisation d'un jeu complexe de registres. Ainsi cette opération peut-être réalisée aussi vite que l'unité centrale peut lire et écrire les données.

Elle contient une partie de l'électronique d'un 8520 et joue en quelque sorte le rôle de Gary ou Gayle dans la CD-32. Elle gère aussi les données venant du lecteur de CD-ROM.

Rev A (391563-01) CD32

1.40 AMBER

Présente sur l'A3000, elle gère le désentrelaceur en synchronisant et contrôlant les signaux nécessaires aux mémoires vidéo et à l'affichage.

Elle se trouve aussi sur la carte Flicker Fixer A2320 de Commodore.

(390538-03) A3000

Broche	Nom	Broche	Nom
1	B0	35	R_C0
2	B1	36	G_C3
3	B2	37	G_C2

4	B3	38	G_C1
5	G0	39	G_C0
6	G1	40	B_C3
7	G2	41	B_C2
8	G3	42	B_C1
9	R0	43	B_C0
10	R1	44	N_HSYCX2
11	R2	45	N_VSYN_0
12	R3	46	B_00
13	N_RSTR_L	47	B_01
14	N_RSTW_C	48	B_02
15	N_RSTW_D	49	B_03
16	FIELD0	50	Vcc3
17	FIELD1	51	G_00
18	Vcc1	52	Masse
19	FIELD2	53	G_01
20	R_D3	54	Vcc2
21	R_D2	55	G_02
22	R_D1	56	G_03
23	R_D0	57	R_00
24	G_D3	58	R_01
25	G_D2	59	R_02
26	G_D1	60	R_03
27	G_D0	61	C28M
28	B_D3	62	C14M
29	B_D2	63	N_VSYNC
30	B_D1	64	N_HSYNC
31	B_D0	65	N_BYPASS
32	R_C3	66	MEM_SEL
33	R_C2	67	N_SCNDBL
34	R_C1	68	TEST

1.41 BRIDGETTE

Ce composant n'est trouvé que dans les Amiga 4000. Il s'agit d'un buffer pour le bus Zorro III. Il comprend les fonctions de six 74F646 et de quatre 74F245.

(391380-01)

A4000

1.42 BUDGIE

Ce composant n'est présent que dans les Amiga 1200.

L'une de ces fonctions consiste à passer la fréquence de l'oscillateur de 28 à 14 MHz pour que le processeur l'exploite, ainsi que de générer une horloge multiplexée pour un Genlock..

Mais son objectif principal est la gestion du port d'extension interne. Elle offre une interface entre le bus processeur 32 bits et le bus 32 bits de la mémoire Chip. Elle génère les signaux de sélection RAS et CAS à partir des signaux de synchronisation RAS et CAS supportés par Alice. Elle offre aussi un

tampon de bus 16 bits qui peut être utilisé soit pour un bus d'extension soit, dans le cas présent, le tampon de données du port PCMCIA.

Budgie était à l'origine de blocages lors de transferts intensifs de données en RAM lorsqu'une carte d'extension était présente. Ceci sur les premières révisions de cartes mère : Rev 1D.4 et Rev 2B. Une modification de la carte mère peut remédier à ces problèmes.

391425-01 A1200 Brochage

1.43 BUSTER

Buster, qui apparaît avec l'A2000B, est chargé de la gestion des ports Zorro et PC. Les versions Fat et Super trouvées respectivement dans les A3000 et A4000 sont dédiées aux ports Zorro III et se chargent d'interfacer le bus Zorro III avec le 68030 ou 68040.

5721 (318075-02) A2000B

Buster de Niveau I :

Ce niveau ne supporte pas le DMA des Zorro III ou les Quick Interrupts, et ils n'essaient pas de traduire les cycles d'accès en rafale du bus local en cycles d'accès en rafale Zorro III.

Révision -06 A3000/25 Un bug dans cette version cause des erreurs à 16MHz mais fonctionne à 25 MHz.

Révision G ou -07 A3000/16, A3000/25 et A3000T
(390539-07)

Buster de Niveau II :

Ce niveau supporte l'arbitrage du bus Zorro III, le DMA, les Quick Interrupts et la traduction des cycles d'accès en rafale du bus local en cycles à "transfert multiples" Zorro III.

Révision -08 Non réalisée

Révision -09 A4030 Cette version présente quelques faiblesses.
A4040 La principale est que l'arbitre du bus Zorro III peut bloquer le système sous certaines conditions. Ainsi certaines cartes DMA contournent ce bug connu (la Z3 FastLane), d'autres ne supportent pas cette révision de

Buster (A4091).

Il y a aussi un problème potentiel avec la synchronisation de fin de cycle. Cela s'affirme avec le problème d'échantillonnage STERM* des cartes A3640 Rev 3.0.

Un dernier problème apparaît avec l'A4000. Le buffer du bus intégré (Bridgette) ne peut pas garantir le temps de propagation requis par Buster Rev 9.

Révision K ou -11
(390539-11)

A4030
A4040
A4000T

Avec cette version, de nombreux problèmes sont résolus. L'arbitre du bus Zorro III est corrigé. Tous les problèmes de synchronisation sont corrigés. Cette version peut aussi résoudre les problèmes non-DMA Zorro III rencontrés avec les cartes A3640 Rev 3.0. Les contrôles du buffer du bus ont été ajustés pour cadrer parfaitement avec l'architecture du 4000. Les cartes Zorro III conçues de façon incorrecte auront des problèmes avec cette révision, surtout lors des cycles d'écriture en rafale. Les problèmes de DMA Zorro II dans les A3000 sont corrigés. Enfin, un problème entre Gary et le bus Chip lors des cycles DMA en Zorro II sur les A4000 est contourné. Ce dernier problème ayant été résolu dans les A4000 par une PAL d'interface.

Certains composants de révision K ou -11 ne fonctionnent pas dans les A3000 à 16 MHz. Cela semble être due à des tests peu rigoureux effectués avant la chute de CBM.

De nombreuses cartes Zorro III nécessitent la mise à jour vers la révision K pour fonctionner correctement.

1.44 Brochage du Fat-Buster

Broche	Nom	Broche	Nom
1	_FCS	43	_ABOE2
2	_CCS	44	_ABOE0
3	A2	45	MS2
4	A1	46	_MTCR
5	A0	47	_CACHE
6	RW	48	A3
7	SIZ0	49	_CBREQ
8	SIZ1	50	_CBACK
9	_AS	51	_IOZ2
10	_DS	52	_MEMZ2
11	_DSACK0	53	_ADDRZ3

12	_DSACK1	54	MS1
13	_STERM	55	_OWN
14	Masse	56	Masse
15	_RMC	57	_EBGACK
16	_SBR	58	CLK90
17	_SBG	59	_SLAVE4
18	_CIIN	60	EA2
19	_MTACK	61	EA3
20	_DTACK	62	_EDS0
21	DOE	63	_EBCLR
22	_WAIT	64	_SLAVE3
23	_BR	65	_SLAVE2
24	_BG	66	_SLAVE1
25	_BGACK	67	_SLAVE0
26	_HLT	68	_BIGZ
27	_BERR	69	_EBG4
28	Masse	70	Masse
29	_RESET	71	_EBG3
30	CPUCLK	72	_EBG2
31	C7M	73	_EBG1
32	_CDACK	74	_EBG0
33	_D2P	75	_ABOE1
34	_DBOE1	76	_EBR4
35	_DBOE0	77	_EBR3
36	_DB16	78	_EBR2
37	DBLT	79	_EBR1
38	READ	80	_EBR0
39	_EDS2	81	MS0
40	_EDS3	82	_BINT
41	EA1	83	_EDS1
42	+5 volts	84	+5 volts

1.45 DENISE / LISA

Denise (Display Encoder chip) est avant tout responsable de la génération des couleurs et de l'affichage des différentes résolutions. Cette chip contient aussi les 8 contrôleurs de sprites hardwares utilisés par le système, dont le pointeur de la souris. La version Super de Denise présente dans le chipset ECS (appelée Fat dans l'A3000) offre de nouvelles résolutions comme le SuperHires (1280x515 en 2 bitplanes) ou le Productivity (640x480 en 2 bitplanes). Elle autorise aussi le contrôle de l'incrustation vidéo sur n'importe quelle couleur.

Appelée Daphne dans l'A1000 et dans les publicités des 1er A500.

Appelé Agnès dans les premières plaquettes publicitaires de Commodore...

8362 R5, R6 (252126-01), R8 (252126-02)	A1000, A500, A2000A et A2000B
8372A	?
8373 R4PD (390433-02)	A3000, A2000B ECS
8373 R3	A500+
8373 R4 (391081-01)	A600

La mise à jour de la Denise OCS vers l'ECS se fait par simple échange du composant.

Lisa, membre du chipset AGA, est la remplaçante de la vieillissante Denise. Ce nouveau composant est réalisé entièrement en technologie CMOS, et incorpore la capacité de gérer une vidéo RGB allant jusqu'à 24 bits. Elle peut aussi effectuer des doubles cycles d'accès mémoire en 32 bits ce qui accroît son taux d'échanges de données à 64 bits par cycle, soit 4 fois ce dont était capable Denise.

1024 RO (391227-01)	A1200	
8203 R2 ou 1207 RO (391227-01)	A4000	Brochage
1207 RO (391227-01)	CD32	

1.46 GARY

Gary est chargé de contrôler les accès au bus et ←
sélectionne le circuit
spécialisé adapté. Il s'occupe aussi d'une partie du lecteur de disquette, et
de la routine de RESET. Il apparaît avec le A2000B. Une
version Fat
est
présente dans l'A3000 et l'A4000. Le Fat Gary de l'Amiga 4000, couplé à une PAL
externe gère le port IDE.

5719 (318072-01)		A500, A2000B
5719 R2 (318072-01)	?	
(390540-02)	A3000, A4000	

1.47 Fat Gary

Brochage du Fat Gary des Amiga 3000

1	Masse	43	CPUCLK
2	A31	44	KBCLK
3	A30	45	SCSI
4	A29	46	CIA1
5	A28	47	CIA0
6	A27	48	FPU
7	A26	49	RAMSLOT
8	INTENA	50	RTCWR
9	A25	51	Masse
10	A24	52	RTCRD
11	A23	53	ROM
12	A22	54	OECD
13	A21	55	LATCHCD
14	A20	56	POWERUP
15	A19	57	A12
16	A18	58	UDS
17	Masse	59	LDS
18	A17	60	DBR

19	A16	61	BLIS
20	A1	62	REGEN
21	A0	63	RAMEN
22	FC2	64	ECLK
23	FC1	65	CCK
24	FC0	66	CDAC
25	AS	67	7M
26	R_W	68	28M
27	SIZE0	69	TEST
28	SIZE1	70	CLK90
29	DSACK0	71	D0
30	DSACK1	72	LATCH_ADR
31	A13	73	STERM
32	A14	74	DS
33	OVL	75	CCKQ
34	Masse	76	LLDS
35	A15	77	LMDS
36	RESET	78	UMDS
37	ROMJP0	79	UUDS
38	ROMJP1	80	CLKOUT
39	AVEC	81	XCLKEN
40	BERR	82	XCLK
41	CIIN	83	BIGZ
42	+5 volts	84	+5 volts

1.48 GAYLE

Sur les A600 et A1200, il remplace Gary avec des fonctions supplémentaires. Synchronise et gère la ROM, la CHIP RAM, les 8520, le bus IDE et le connecteur de la carte mémoire.

R5 (391424-02) A1200 Brochage
5191 (391155-01) A600

1.49 PAULA

Paula (Ports Audio Uart and Logic) est chargée de diverses tâches. Elle contrôle la génération du son 8 bits, contient les circuits de contrôle du système de disquette, et abrite les circuits de contrôle des Entrées/Sorties pour les disques, la souris, le clavier et les ports externes. Paula contient aussi un système de contrôle d'interruption pour diverses opérations du système.

Appelé Portia dans l'A1000 et dans les premières plaquettes publicitaires de Commodore.

8364 R7 (252127-02) A1000, A500, A2000A, A3000
8364 R7PD (391077-01) A600, A500+, A2000B
8364 R7PL (391077-01) CD32, A1200, A4000

1.50 RAMSEY

Présent dans les A3000 et les A4000 , Ramsey est chargé de la ↔
gestion de la
FAST RAM. C'est lui qui autorise le support du mode "Static Column". Il
génère aussi les adresses pendant les transferts DMA.

Révision D ou 4 (390541-04) A3000 et A3000T
Révision G ou 7 (390541-07) A4000 et A4000T

Les composants Ramsey et
Super-DMAC
sont liés.

L'utilisation de Ramsey révision D ou 4 entraîne l'utilisation de Super-DMAC
révision 1 ou 2.

L'utilisation de Ramsey révision 7 ou G entraîne l'utilisation de Super-DMAC
révision 4.

Brochage

Broche	Nom	Broche	Nom
1	_BUFEN	43	A22
2	_CBREQ	44	A23
3	_CBACK	45	A24
4	_STERM	46	A25
5	_AS	47	A26
6	_DSACK0	48	A27
7	_DISRAM	49	A28
8	SIZE0	50	A29
9	SIZE1	51	A30
10	CPUCLK	52	A31
11	RW	53	D24
12	RSIZE	54	D25
13	_DMAEN	55	D26
14	Masse	56	Masse
15	_PWRUP	57	D27
16	FC0	58	D28
17	FC1	59	D29
18	FC2	60	D30
19	A0	61	D31
20	A1	62	_WR
21	A2	63	CLK90
22	A3	64	_CASLL
23	A4	65	_CASLH
24	A5	66	_CASHL
25	A6	67	_CASHH
26	A7	68	_RAS0
27	A8	69	_RAS1
28	Masse	70	Masse

29	A9	71	_RAS2
30	A10	72	_RAS3
31	A11	73	RSPEED
32	A12	74	MA0
33	A13	75	MA1
34	A14	76	MA2
35	A15	77	MA3
36	A16	78	MA4
37	A17	79	MA5
38	A18	80	MA6
39	A19	81	MA7
40	A20	82	MA8
41	A21	83	MA9
42	+5 volts	84	+5 volts

1.51 Video DAC

Ce composant est présent dans les Amiga 4000. Il s'occupe de la transformation des signaux numériques générés par l'Amiga en signaux analogiques pour le moniteur. DAC signifiant Digital to Analog Conversion.

(341926.1) A4000

1.52 SUPER DMAC

Exclusivement trouvé sur l'A3000, ce composant s'occupe de la gestion de l'accès DMA du contrôleur SCSI.

Révision 1	Premiers A3000
Révision 2 ou A (390537-02)	A3000 suivants et A3000T
Révision 4 ou D	Mise à jour

Les composants

Ramsey
et Super-DMAC sont liés.

L'utilisation de Ramsey révision D ou 4 entraîne l'utilisation de Super-DMAC révision 1 ou 2.

L'utilisation de Ramsey révision 7 ou G entraîne l'utilisation de Super-DMAC révision 4.

Brochage

Broche	Nom	Broche	Nom
1	D0	43	__STERM
2	D1	44	SCLK
3	D2	45	__CS
4	D3	46	__RESET
5	D4	47	__BERR
6	D5	48	PD0
7	D6	49	PD1
8	D7	50	PD2
9	D8	51	PD3
10	D9	52	PD4
11	D10	53	PD5
12	D11	54	PD6
13	D12	55	PD7
14	D13	56	PD8
15	D14	57	PD9
16	D15	58	PD10
17	D16	59	PD11
18	D17	60	PD12
19	D18	61	PD13
20	D19	62	PD14
21	+5 volts	63	+5 volts
22	D20	64	PD15
23	D21	65	__DREQ
24	D22	66	__DACK
25	D23	67	__CSS
26	D24	68	__IOW
27	D25	69	__IOR
28	D26	70	__CSX0
29	D27	71	__CSX1
30	D28	72	__IORDY
31	D29	73	INTA
32	D30	74	INC_ADD
33	D31	75	__DMAEN
34	INTB	76	A2
35	__INT	77	A3
36	SIZE1	78	A4
37	RW	79	A5
38	__AS	80	A6
39	__DS	81	__BR
40	__DSACK1	82	__BG
41	__DSACK0	83	__BGACK
42	Masse	84	Masse

1.53 Contrôleurs SCSI WD et NCR

Le WD33C93A-PL est présent dans l'A3000. Il s'agit du contrôleur SCSI.

On le trouve aussi sur les cartes A2091.

Révision 00-04 (PROTO)

A3000

Révision 00-08

Mise à jour A3000.

La révision 00-04 peut parfois poser des problèmes avec les lecteurs de CD-ROM.

Brochage

Broche	Nom	Broche	Nom
1	IO	21	_CSS
2	MSG	22	_WE
3	Masse	23	_RE
4	CD	24	ALE
5	BSY	25	SDP
6	SEL	26	SD0
7	CLK	27	SD1
8	_DRQ	28	Masse
9	_DACK	29	SD2
10	_INTRQ	30	SD3
11	D0	31	SD4
12	D1	32	SD5
13	D2	33	SD6
14	D3	34	SD7
15	D4	35	Masse
16	D5	36	RESET
17	D6	37	RTN
18	D7	38	RCK
19	A0	39	REQ
20	Masse	40	+5 volts

Le NCR53C710 est le contrôleur SCSI utilisé dans les A4000T et les A4091.

1.54 CIA A & B

Ces deux composants (Complex Interface Adapter) gèrent les entrées/sorties des ports parallèle et série, l'horloge permanente, les moteurs de disques, la led, le filtre audio, les joysticks et quelques interruptions systèmes.

CIA-A	CIA-B
5293 (318029-02 ou 318029-03)	A500, A2000
5291 (391078-01)	A600
(391078-01)	A1200
(391078-02)	A4000

1.55 Random Access Memory

Les Différents Boîtiers

Les Types de RAM

Temps D'Accès

1.56 Les Différents Boîtiers

DIL (Dual In Line)

Ces boîtiers sont les plus classiques. Ils sont présents par exemple sur la carte mère des Amiga 2000. Mais leur rapport capacité/encombrement peu avantageux les destine à une disparition prochaine.

ZIP (Zig zag In line Package)

Ces composants sont peu à peu remplacés car leur capacité, considérée comme très importante à l'époque, n'est plus à la hauteur. De plus, il est souvent nécessaire de les souder directement à la carte support. Ces boîtiers sont présents sur les cartes accélératrices A2620, A2630 et la carte mère de l'Amiga 3000. Un boîtier contient jusqu'à 2 Mo. Les vitesses de ces RAM vont de 60 ns (très rare) à 120 ns.

SIMM (Single In line Memory Module) et SIPP (Single In line Pin Package)

Le SIMM est le système le plus répandu actuellement qui permet d'installer ou d'enlever de la RAM à volonté puisque les boîtiers sont soudés en CMS sur une petite carte enfichable dans un support. Cette technique est par exemple utilisée dans l'A4000. Une barette peut contenir jusqu'à 128 Mo et bientôt 256 Mo.

Identification des barettes SIMM

Brochage des barettes SIMM

DIMM (Dual In line Memory Module)

Ce nouveau standard est en court d'apparition. Il est particulièrement adapté au bus 64 bits qui apparaissent sur les machines les plus puissantes. Ces barettes possèdent 168 broches et offriront des capacités allant de 4 à 128 Mo.

Les PowerMac de la génération PCI en sont équipés d'origine.

1.57 Identification des barettes SIMM

Le principe d'identification des barettes SIMM à 72 broches repose sur une mesure entre des broches 67 à 70 de la barette. Il est possible de détecter la taille de la barette et la vitesse de la mémoire. En prenant les précautions adéquates, un simple ohmmètre permet de déterminer ces paramètres.

Les broches sont numérotées séquentiellement de 1 à 72 en partant du détrompeur. La broche 72 est celle qui est la plus éloignée du détrompeur.

Il est impératif de ne pas mettre une des pointes de touche en contact avec une broche autre que les 67 à 70. Il est recommandé d'utiliser un ohmmètre de bonne qualité, fonctionnant à basse tension d'alimentation.

"I" symbolise une résistance infinie par rapport à la broche 72.

"G" symbolise une résistance inférieure à 10 Ohms par rapport à la broche 72.

Broches				taille	vitesse	Remarques
70	69	68	67			
I	I	I	I			SIMM non valide
I	I	I	G	1 Mo	120 ns	
I	I	G	I	2 Mo	120 ns	
I	I	G	G	2 Mo	70 ns	
I	G	I	I	8 Mo	80 ns	
I	G	I	G			réservée
I	G	G	I	2 Mo	80 ns	
I	G	G	G	8 Mo	70 ns	
G	I	I	I			réservée
G	I	I	G	1 Mo	85 ns	
G	I	G	I	2 Mo	85 ns	
G	I	G	G	4 Mo	70 ns	
G	G	I	I			réservée
G	G	I	G	1 Mo	100 ns	
G	G	G	I	2 Mo	100 ns	
G	G	G	G	4 Mo	80 ns	

1.58 Brochage des barettes SIMM

32 bits 72 broches

Broche	Signal	Broche	Signal
1	GND	37	Réservé
2	D0	38	Réservé
3	D16	39	GND
4	D1	40	/CAS0
5	D17	41	/CAS2
6	D2	42	/CAS3
7	D18	43	/CAS1
8	D3	44	/RAS0
9	D19	45	/RAS1
10	+5V	46	NC
11	NC	47	WE
12	A0	48	NC
13	A1	49	D8
14	A2	50	D24
15	A3	51	D9

16	A4	52	D25
17	A5	53	D10
18	A6	54	D26
19	A10	55	D11
20	D4	56	D27
21	D20	57	D12
22	D5	58	D28
23	D21	59	+5V
24	D6	60	D29
25	D22	61	D13
26	D7	62	D30
27	D23	63	D14
28	A7	64	D31
29	A11	65	D15
30	+5V	66	NC
31	A8	67	Réservé
32	A9	68	Réservé
33	/RAS3	69	Réservé
34	/RAS2	70	Réservé
35	Réservé	71	Réservé
36	Réservé	72	GND

8/9 bits 30 broches

1 +5V	16 D4
2 /CAS	17 A8
3 D0	18 A9
4 A0	19 A10
5 A1	20 D5
6 D1	21 /WE
7 A2	22 GND
8 A3	23 D6
9 GND	24 /PRD
10 D2	25 D7
11 A4	26 Q8
12 A5	27 /RAS
13 D3	28 /PCAS8
14 A6	29 D8
15 A7	30 +5V

1.59 Les Différents Types de RAM

La RAM Statique ou SRAM

Elle garde les données aussi longtemps qu'elle est alimentée.

Ces boîtiers font très rarement plus de 64 Ko car l'intégration à grande échelle de ces cellules mémoires n'est pas réalisable techniquement. Ce type de mémoire est très rapide avec un temps d'accès inférieur à 5 ns pour les meilleures. Elles sont principalement utilisées pour les mémoires caches.

La RAM Dynamique ou DRAM

Cette mémoire perd son contenu au bout d'un laps de temps très court même si elle est alimentée. A moins que l'on opère un cycle de rafraichissements toutes les x millisecondes pour lui indiquer de conserver les données.

C'est ce genre de RAM qui se trouve dans l'Amiga.

Cette mémoire peut être accédée sous différents modes :

Le mode Standard

Le mode Page

Le mode Fast Page (Supportés par)

Le mode Static Column (les Amiga 3000 et 4000)

Le mode Nibble (accès circulaire à un quartet)

Les DRAM les plus rapides qui sont fabriquées en série actuellement ont une vitesse de 60 ns. On peut cependant trouver de petites quantités de mémoires testées à 50 ou plus rarement à 40 ns.

Il existe des conceptions de DRAM moins courantes comme par exemple la DRAM non multiplexée utilisée avec les accélérateurs GVP (40 ns), présentée en boitiers

SIMM 64 broches

. Le problème est que ces composants, difficiles à obtenir, sont très coûteux et totalement spécifiques aux cartes GVP. Ce choix de la part du constructeur est lourd de conséquences pour l'utilisateur qui est condamné à acheter ces TurboSimm pour augmenter la capacité mémoire de sa carte.

La RAM EDO.

EDO signifie Extended Data Out dynamic RAM.

Cette RAM supprime le délai entre l'exécution des commandes de lectures séquentielles depuis la mémoire.

Elle accroît la vitesse des accès mémoire de l'ordre de 6-10% et consomme moins d'énergie que les RAM classiques.

1.60 Brochage des barrettes SIMM GVP

Broches	Broches
1 Masse	33 Masse
2 D0	34 _CAS1(L)
3 D1	35 _CAS1(H)
4 D2	36 _RAS0(L)
5 D3	37 _RAS0(H)
6 D4	38 NC
7 D5	39 MA10
8 D6	40 _WR1
9 D7	41 _WR2
10 VCC	42 D16
11 A0	43 D17

12 A1	44 D18
13 A2	45 D19
14 A3	46 D20
15 A4	47 D21
16 A5	48 D22
17 A6	49 D23
18 A7	50 VCC
19 A8	51 D24
20 A9 (4Mo)	52 D25
21 D8	53 D26
22 D9	54 D27
23 D10	55 D28
24 D11	56 D29
25 D12	57 D30
26 D13	58 D31
27 D14	59 _WR3
28 D15	60 RSIZ1
29 _WR0	61 RSIZ0
30 _CAS0 (L)	62 Masse
31 _CAS0 (H)	63 Masse
32 VCC	64 Masse

Les valeurs suivant _W, _CAS et _RAS indiquent le composant de RAM à relier. Il y a huit composants de 4x1Mbits ou 4x4Mbits, indexés de 0 à 7. L'index 0 est pour les broches de données 0-3, 1 pour les broches de données 4-7 et ainsi de suite.

1.61 Les Temps d'Accès

Dans la majorité des cas, le temps d'accès d'un composant RAM est indiqué sur le boîtier. Par exemple -8 signifie 80 ns (nanosecondes pour milliardièmes de seconde).

Le temps d'accès correspond au temps qui s'écoule entre le moment où l'on adresse une quelconque partie de la mémoire et le moment où celle-ci renvoie la donnée.

A ne pas confondre avec le temps de cycle. Celui-ci représente le temps qui va s'écouler avant que le composant puisse à nouveau être sollicité. Il se calcule ainsi : pour une DRAM avec un temps d'accès de 80 ns et un temps de cycle de 155 ns, le composant sera "au repos" pendant $(155 - 80 = 75)$ 75 ns.

Théoriquement, la vitesse des composants RAM doit être proportionnelle à celle du processeur central

1.62 La ROM Kickstart

Le kickstart est un composant essentiel de l'Amiga puisqu' il fait partie intégrante du système d'exploitation. Celui-ci fournit la base pour amorcer la machine, en vérifiant la présence des deux secteurs réservés sur une mémoire de masse (bootblock). Il contient aussi les couleurs par défaut, une police de caractères (Topaz 8 et 9), des commandes résidentes, etc...

Les Amiga 1000 n'étaient pas équipés de Kickstart en ROM, mais sur disquette. Quant aux Amiga 3000, le Kickstart était chargé depuis le disque dur, mais un support est cependant présent pour l'installation d'une ROM (en deux parties et supportant des accès 32 bits comme les A1200 et A4000).

Référence système	KickStart Workbench associé	
30 (disk)	1.0	Premiers A1000
31 (disk)	1.1	A1000 suivants en NTSC
32 (disk)	1.1	A1000 PAL
33 (disk et ROM) (315093-01)	1.2	Mise à jour A1000. A500, A2000A
34 (disk et ROM) (315093-02)	1.3	Mise à jour A1000. A500, A2000B, A3000
35 (disk et ROM)	1.3	Prévu pour utiliser le moniteur A2024
	1.4	béta-version du 2.0 sur les premiers A3000
36	2.0, 2.01, 2.02, 2.03	A3000
37.175 (390979-01)	2.04	CDTV, A500+ mise à jour
	A500, A2000 et A3000	
37.299	2.05	A600 sans gestion du contrôleur IDE
37.300 (391304-01)	2.05	A600 avec gestion du contrôleur IDE
37.350	2.05	A600 idem avec scsi.device corrigé
37	2.1	Mise à jour KickStart
38	2.1	Mise à jour Workbench
39	(391514-02)	3.0 A4000
39 (391524-01 & 391523-01)		3.0 A1200
40.60 (391640-03)	3.1	CD32
40.63	3.1	Mise à jour A500, A2000, A3000, A4000 et A1200
40.68	3.1	Amélioration d'Intuition (RTG), Layers.library
40.70	3.1	Amélioration du scsi.device

La ROM Kickstart des Amiga correspond (en beaucoup plus complet) au Bios (Basic Input/Output System) des compatibles PC.

1.63 Mise à jour

La mise à jour vers la ROM 2.0 et + peut poser problème sur les machines anciennes.

Par exemple, après avoir installé la ROM 2.04 sur les vieux A2000 ou A500, il apparaît parfois des problèmes de démarrage. Il est alors nécessaire de relier les pattes 1 et 31 entre elles. C'est le cas sur les Amiga 2000 fabriqués en Allemagne (1986 COMMODORE - AMIGA 2000 - MADE IN GERMANY (BSW)), des révisions 3.x la plupart du temps. Mais aussi sur les A500 révisions 3 ou 5.

L'idéal est d'essayer puisque ces problèmes apparaissent ou non selon les versions de carte mère.

1.64 La Mémoire Cache

Afin de rendre plus rapide l'accès aux instructions, le 68020 dispose d'un cache interne d'instructions de 256 octets accessible par le processeur sans cycle d'attente. Le 68030 dispose quant à lui d'un cache interne données et instructions de 256 octets.

Cette mémoire stocke en permanence les instructions et/ou les données les plus sollicitées par l'unité centrale.

Le 68020-030 est programmé pour chercher systématiquement les instructions en mémoire cache et, si elles sont présentes, les traiter sans cycle d'attente ; dans le cas contraire (taux d'échecs), il ira alors les chercher en mémoire centrale, lui faisant perdre ainsi 2 à 3 cycles, mais effectuera ensuite la mise à jour de la mémoire cache en y stockant les instructions et/ou données non trouvées.

On pourrait considérer comme insuffisante la taille du cache instructions et données, étant donnée sa capacité très faible en regard de la mémoire centrale. Cependant, il faut avoir à l'esprit que seules les instructions souvent sollicitées peuvent résider en mémoire cache ; de ce fait, au-delà d'une certaine taille, les taux d'échecs sont alors constants quelle que soit la taille de la mémoire cache.

1.65 Autres Composants

Le 6570 et Keyboard MPU

Le DSP3210

Les GAL et les PAL

Les Oscillateurs

1.66 6570 et Keyboard MPU

Le 6570 (ou 6500) est responsable de la gestion des claviers dans les Amiga dont la carte n'est pas CMS. Comme les A2000 et A500.

Il a à sa disposition une ROM de 2 Ko et un buffer de 64 octets.

Ce composant est remplacé par un circuit nommé Keyboard MPU (en fait un Motorola 68HC05C4A) dans les Amiga dont la carte mère est en CMS.

(391508-01)	A1200
6570-036	A600

1.67 Le Digital Signal Processor

Le processeur de signal numérique est un composant spécifiquement développé pour certains calculs qu'il réalise 5 à 10 fois plus rapidement qu'un coprocesseur arithmétique pour une fréquence égale.

Celui-ci étant prévu pour la gestion des images et des sons, il se doit d'être couplé à un convertisseur analogique-numérique. En effet, les micros ou caméras ne délivrent que des signaux analogiques qui devront être traduits par échantillonnage pour être traités par le DSP. Pour la restitution, le DSP doit aussi être associé à un convertisseur numérique-analogique.

Le DSP est de plus en plus utilisé pour la gestion de données photographiques, sonores, ou le décodage des informations circulant par modem. Ce processeur se trouve au coeur des cartes sonores haut de gamme où il filtre ou effectue diverses opérations très complexes sur les sons. Il est aussi particulièrement adapté aux systèmes de reconnaissance vocale.

Certains Macintosh sont équipés en standard d'un DSP.

Commodore, lors de l'élaboration du chipset AAA avait posé une option sur l'interfaçage d'un DSP. le modèle choisi fut le AT&T DSP3210.

Le DSP3210 est un DSP CMOS intégralement 32 bits travaillant en virgule flottante. Parmi ces principales caractéristiques on trouve :

- Travail sur 32 bits en virgule flottante
- Adressage sur 32 bits
- RAM de 8Ko sans cycle d'attente intégrée
- Instructions sur un cycle (jusqu'à 33 Mflops)
- Partage du bus avec une UC Motorola ou Intel
- Entrées/Sorties séries avec transferts DMA jusqu'à 25 Mo/s
 - Les transferts de données sérieelles se font sans intervention de l'UC

- Des cycles ne sont pris que si nécessaire
- Contrôle DMA pour les entrées/sorties sérieelles
- Timer 32 bits programmable pour les synchronisations, les générations de rythmes ou de formes d'ondes, la comptabilité d'évènements...
- 2 millions d'interruptions par seconde
- Basse consommation d'énergie

Aucune programmation particulière n'est nécessaire pour implémenter des algorithmes en virgules flottantes ou pour travailler sur des signaux possédant une bande passante dynamique plus large. Le DSP3210 est aussi prévu pour partager la mémoire du processeur hôte, supprimant ainsi la nécessité d'une RAM locale rapide uniquement pour le DSP. Cela retire aussi les restrictions en matière de taille de programmes ou de données. Le cache mémoire de 8 Ko intégré combiné avec un logiciel adapté permet au DSP3210 d'exécuter un travail sur des signaux complexes sans utiliser de RAM locale. Toutes les instructions sont exécutées en un seul cycle. Une simple instruction peut contenir deux opérations en virgules flottantes. Le DSP3210 supporte jusqu'à 4 accès mémoire en un cycle d'instructions.

L'architecture du DSP3210 comporte 7 unités :

- L'Unité de Contrôle Arithmétique (CAU) :

Responsable du calcul des adresses, de la répartition des instructions, des opérations logiques et arithmétiques sur 16 ou 32 bits. Le noyau de cette unité est RISC et exécute 16.7 millions d'instructions par seconde.

- L'Unité de Données Arithmétiques (DAU)

Se charge des opérations arithmétiques à 16.7 millions d'opérations par seconde.

- La Mémoire intégrée (RAM0, RAM1, Boot ROM)

- L'interface du Bus

- Les Entrées/Sorties sérieelles (SIO)

- Le contrôleur d'accès DMA (DMAC)

- Contrôleur d'Etat et de Statut (TSC)

1.68 Gate Array Logic & Programmable Array Logic

Les GAL et les PAL sont des unités logiques programmables. Par une programmation appropriée, de nombreuses fonctions standards de routages des informations peuvent être intégrées dans un simple GAL ou PAL.

Le principal objectif de ces unités est de simplifier au maximum les cartes de

circuits numériques, en remplaçant de nombreux autres composants.

Un GAL ou PAL peut remplacer les circuits gérant les fonctions : AND, OR, XOR, NAND, NOR. Mais aussi les inverseurs, les FlipFlops, les décodeurs d'adresse, les multiplexeurs et les compteurs.

De plus, les GAL et les PAL sont reprogrammables et peuvent être protégés contre la copie.

La différence entre les GAL et les PAL tient avant tout au fait que les PAL sont apparûts voici plus d'une dizaine d'années, alors que les GAL sont beaucoup plus récents. Ces derniers sont ainsi beaucoup plus simples à programmer, offrent une plus grande souplesse de configuration tout en consommant moins. Les GAL ont donc tendance à remplacer peu à peu les PAL.

1.69 Les Oscillateurs

L'oscillateur est le composant qui fournit la fréquence d'horloge aux microprocesseurs du système.

L'oscillateur donne une fréquence de base qui peut ensuite être retravaillée pour donner la cadence voulue. La seule condition est que l'oscillateur doit fournir une fréquence multiple absolue de celle que l'on veut obtenir.

Ainsi, les Amiga équipés de 68000 et 68020 ont un Oscillateur à 28 MHz. Dans le cas des A1000, A500, CDTV, A2000 et A600, cette fréquence est ensuite divisée en 4 pour obtenir les 7 Mhz nécessaires au 68000. L'oscillateur donne aussi les 14 MHz du ChipSet. Dans le cas des A1200 et CD32, la fréquence est divisée par deux et l'on obtient les 14 MHz.

Les Amiga 4000 ont un Oscillateur à 50 MHz qui permet de fournir les 25 MHz aux 68030 et 68040.

Un second oscillateur peut parfois être présent pour offrir une fréquence au coprocesseur arithmétique. C'est le cas de l'Amiga 3000.

Les cartes accélératrices possèdent souvent leurs propres oscillateurs, cela dépend de leur mode de fonctionnement, asynchrone ou non.

1.70 Fréquences

La vitesse à laquelle travaille un microprocesseur ne dépend pas seulement de sa génération, de sa technologie, mais aussi de la fréquence d'horloge à laquelle il est cadencé. C'est à dire la cadence à laquelle le processeur exécute les instructions. Cette fréquence se mesure en mégahertz (MHz), en millions d'impulsions par seconde. Plus elle est élevée, plus le processeur travaille rapidement.

Un MHz correspond à 1 million de cycles d'horloge par seconde.

A 1 MHz, un cycle d'horloge prend 1 000 ns, 125 ns à 8 MHz, 62.5 ns à 16 MHz, 50 ns à 20 MHz et 40 ns à 25 MHz.

1.71 Lexique Composants

ASIC

Application Specific Integrated Circuit

BGA

Ball Grid Array

CHMOS

Complementary High-speed Metal Oxyde Semi-conductor

CISC

Complex Instructions Set Chip - Processeur à jeu d'instructions complexe

CMOS

Complementary Metal Oxyde Semi-conductor

CMS ou SMD

Composants Montés en Surface - Surface Mounted Device

DMOS

Discrete Metal Oxyde Semi-conductor

EAROM

Electrically Alterable Read-Only Memory

EEPROM

Electrically Erasable Programmable Read-Only Memory

EEROM

Electrically Erasable Read-Only Memory

EPROM

Erasable Programmable Read Only Memory

Mémoire Programmable à Lecture Seul Effaçable

EROM

Erasable Read-Only Memory

HMOS

High Density Metal Oxyde Semi-conductor
ou High Speed Metal Oxyde Semi-conductor

HTTL

High power Transistor-Transistor Logic

IC

Integrated Circuit - Circuit Intégré

IEEE

Institute for Electrical and Electronics Engineers

Société des Ingénieurs Electriciens et Electroniciens

LSI

Large Squalé Integration - Intégration à Grande Echelle
Entre 100 et 5000 circuits intégrés dans un composant

LTTL

Low power Transistor-Transistor Logic

MMU

Memory Management Unit - Unité de gestion mémoire

MOSFET

Metal Oxide Silicon Field Effect Transistor

MSI

Medium Scale Integration - Intégration à Moyenne Echelle
entre 10 et 100 circuits intégrés dans un composant

PAL

Programmable Array Logic

PA-RISC (composant Hewlett-Packard)

Precision Architecture - Reduced Instructions Set Chip

PGA

Pin Grid Array ou Fakir

PLCC

Plastic Leaded Chip Carrier

PLD

Programmable Logic Device - Circuits Logiques Programmables

PROM

Programmable Read Only Memory - Mémoire Programmable à Lecture Seul

QFP

Quadruple Flat Pack

RISC

Reduced Instructions Set Chip - Processeur à jeu d'instructions réduit

RTC

Real Time Clock - Horloge Temps Réel

SLSI

Super Large Scale Integration - Intégration à Super Grande Echelle
Entre 50000 et 100000 circuits intégrés dans un composant

SSI

Small Scale Integration - Intégration à Petite Echelle
Moins de 10 circuits intégrés dans un composant

TLB

Translation Look-Aside Buffer - Tampon de réserve de traduction

TTL

Transistor-Transistor Logic - Logique à Transistor-Transistor

ULSI

Ultra Large Scale Integration - Intégration à Ultra Grande Echelle
Plus de 100000 de circuits intégrés dans un composant

VLSI

Very Large Scale Integration - Intégration à Très Grande Echelle
Entre 5000 et 50000 circuits intégrés dans un composant

ZIF

Zero Insertion Force
